

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



15.29/5629

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:) Group Art Unit: 2818
TSUGANE et al.)
Serial No. 09/759,666) Examiner: unknown
Filed: January 13, 2001)
For: SEMICONDUCTOR DEVICES AND METHODS)
FOR MANUFACTURING THE SAME)

TRANSMITTAL OF CERTIFIED COPY

Assistant Commissioner for Patents
Washington, DC 20231

Dear Sir:

Enclosed is the certified copy of the priority document for U.S. Application Serial No. 09/759,666. This document is Japanese Patent Application Number 2000-005043. It is believed that no fees are due relating to this submission, however, if fees are due relating to this submission, please charge them to deposit account no. 50-0585.

Respectfully submitted,

Alan S. Raynes

Alan S. Raynes

Reg. No. 39,809

KONRAD RAYNES & VICTOR LLP

315 South Beverly Drive, Suite 210

Beverly Hills, CA 90212

(310) 556-7983 (tele)

(310) 556-7984 (fax)

Dated: July 12, 2001

Customer No. 24033

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231 on July 12, 2001.

Alan S. Raynes
Alan S. Raynes

July 12, 2001
(Date)

RECEIVED
JUL 13 2001
TO: ASST. COM. ROOM



#5

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 1月13日

出願番号

Application Number:

特願2000-005043

出願人

Applicant (s):

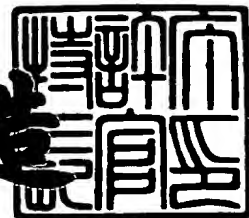
セイコーエプソン株式会社

RECEIVED
JUL 13 2001
TC 2000 MAIL ROOM

2000年12月 8日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3101608

【書類名】 特許願

【整理番号】 EP-0214101

【提出日】 平成12年 1月13日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 津金 宏昭

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 佐藤 久克

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大 瀧 美 千 栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の D R A M 領域に形成された、セル容量を含む D R A M と、

前記半導体基板のアナログ素子領域に形成された、容量素子と、
を備えた、半導体装置の製造方法であって、

(a) 前記セル容量のストレージノードと、前記容量素子の下部電極と、を同時に形成する工程と、

(b) 前記セル容量の誘電体層と、前記容量素子の誘電体層と、を同時に形成する工程と、

(c) 前記セル容量のセルプレートと、前記容量素子の上部電極と、を同時に形成する工程と、

を備えた半導体装置の製造方法。

【請求項 2】 請求項 1 において、

前記工程 (a) の前に、

前記 D R A M の構成要素であるワード線と、

前記ワード線と同じ層に位置し、前記下部電極を他の半導体素子と電気的に導通させるために用いられる接続層と、

を同時に形成する工程、

を備えた半導体装置の製造方法。

【請求項 3】 請求項 1 または 2 において、

(d) 前記アナログ素子領域に、第 1 抵抗素子および第 2 抵抗素子を形成する工程、

を備え、

前記工程 (d) は、前記工程 (c) と同一工程であり、

前記工程 (d) において、前記第 1 抵抗素子が形成される領域への不純物のイオン注入回数を、前記第 2 抵抗素子が形成される領域への不純物のイオン注入回

数よりも多くすることにより、前記第 1 抵抗素子の抵抗値を、前記第 2 抵抗素子の抵抗値よりも低くする、半導体装置の製造方法。

【請求項 4】 請求項 1 または 2 において、

(d) 前記アナログ素子領域に、第 1 抵抗素子および第 2 抵抗素子を形成する工程、

を備え、

前記工程 (d) は、前記工程 (c) と同一工程であり、

前記工程 (d) において、前記第 1 抵抗素子が形成される領域に不純物を拡散することにより、前記第 1 抵抗素子の抵抗値を、前記第 2 抵抗素子の抵抗値よりも低くする、半導体装置の製造方法。

【請求項 5】 請求項 1 または 2 において、

(d) 前記アナログ素子領域に、第 1 抵抗素子および第 2 抵抗素子を形成する工程、

を備え、

前記工程 (d) は、前記工程 (c) と同一工程であり、

前記工程 (d) において、前記第 1 抵抗素子が形成される領域にシリサイド層を形成することにより、前記第 1 抵抗素子の抵抗値を、前記第 2 抵抗素子の抵抗値よりも低くする、半導体装置の製造方法。

【請求項 6】 半導体基板の D R A M 領域に形成された、セル容量を含む D R A M と、

前記半導体基板のアナログ素子領域に形成された、容量素子と、

を備えた、半導体装置において、

層間絶縁層および埋め込み接続層を備え、

前記層間絶縁層は、前記半導体基板と前記容量素子との間に位置し、

前記埋め込み接続層は、前記容量素子の下部電極を他の半導体素子と電氣的に導通させるために用いられ、

前記埋め込み接続層は、前記層間絶縁層に形成された接続孔に位置し、

前記埋め込み接続層の一方端部は、前記下部電極の底面において、前記下部電極と接続している、

半導体装置。

【請求項 7】 請求項 6 において、
接続層を備え、
前記接続層は、前記下部電極を他の半導体素子と電氣的に導通させるために用
いられ、

前記接続層は、前記 D R A M の構成要素であるワード線と同じ層に位置し、

前記接続層は、前記埋め込み接続層の他方端部と接続している、

半導体装置。

【請求項 8】 請求項 7 において、
他の容量素子を備え、
前記他の容量素子は、前記アナログ素子領域に位置し、
前記容量素子と前記他の容量素子とは、前記埋め込み接続層および前記接続層
により、直列接続されている、

半導体装置。

【請求項 9】 請求項 6 ～ 8 のいずれかにおいて、
第 1 抵抗素子および第 2 抵抗素子を備え、
前記第 1 および前記第 2 抵抗素子は、前記アナログ素子領域に位置し、
前記第 1 抵抗素子中の不純物濃度が、前記第 2 抵抗素子中の不純物濃度より高
いことにより、前記第 1 抵抗素子の抵抗値は、前記第 2 抵抗素子の抵抗値よりも
低い、

半導体装置。

【請求項 1 0】 請求項 6 ～ 8 のいずれかにおいて、
第 1 抵抗素子および第 2 抵抗素子を備え、
前記第 1 および前記第 2 抵抗素子は、前記アナログ素子領域に位置し、
前記第 1 抵抗素子が、シリサイド層を含むことにより、前記第 1 抵抗素子の抵
抗値は、前記第 2 抵抗素子の抵抗値よりも低い、

半導体装置。

【請求項 1 1】 請求項 6 ～ 1 0 のいずれかにおいて、
前記容量素子の誘電体層の厚みは、前記セル容量の誘電体層の厚みと同じであ

る、

半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、DRAM (Dynamic Random Access Memory) と、他の素子と、を同一チップに混載した半導体装置およびその製造方法に関する。

【0002】

【背景技術および発明が解決しようとする課題】

近年、チップインターフェイス遅延の短縮、ボード面積分のコスト低減、ボード設計開発のコスト低減などの観点から、各種回路の混載が要求される。しかし、このような混載技術においては、プロセスが複雑となり、ICコストが増大する問題がある。

【0003】

本発明の目的は、DRAMと、他の素子と、を同一チップに混載するときに、工程の簡略化を図りつつ、他の素子を所望の性能にすることができる半導体装置およびその製造方法を提供することである。

【0004】

【課題を解決するための手段】

{1} 本発明は、半導体基板のDRAM領域に形成された、セル容量を含むDRAMと、前記半導体基板のアナログ素子領域に形成された、容量素子と、を備えた、半導体装置の製造方法であって、(a) 前記セル容量のストレージノードと、前記容量素子の下部電極と、を同時に形成する工程と、(b) 前記セル容量の誘電体層と、前記容量素子の誘電体層と、を同時に形成する工程と、(c) 前記セル容量のセルプレートと、前記容量素子の上部電極と、を同時に形成する工程と、を備えた半導体装置の製造方法である。

【0005】

上記工程を備える本発明にかかる半導体装置の製造方法によれば、セル容量と

容量素子とを同時に形成している。このため、これらを別々に形成する場合に比べて、工程の簡略化を図ることができる。

【 0 0 0 6 】

なお、本発明において、セル容量とは、D R A M のメモリセルを構成する要素のことである。以下にでてくるセル容量もこの意味である。

【 0 0 0 7 】

また、本発明において、容量素子の用途としては、例えば、A / D コンバータ、D / A コンバータ、スイッチドキャパシタフィルタ、オペアンプの位相コンデンサ、P L L のロウパスフィルタ、電源のバイパスコンデンサ、デカップリングコンデンサ等である。以下にでてくる容量素子の用途も同様である。

【 0 0 0 8 】

本発明にかかる半導体装置の製造方法には、次の工程を加えることができる。すなわち、本発明は、さらに、前記工程（a）の前に、前記D R A M の構成要素であるワード線と、前記ワード線と同じ層に位置し、前記下部電極を他の半導体素子と電氣的に導通させるために用いられる接続層と、を同時に形成する工程を備えた半導体装置の製造方法である。

【 0 0 0 9 】

上記工程を加えた本発明にかかる半導体装置の製造方法によれば、上記接続層を、前記D R A M の構成要素であるワード線と同時に形成するので、工程の簡略化を図ることができる。

【 0 0 1 0 】

なお、本発明において、他の半導体素子とは、アナログ回路を構成する要素（例えば、トランジスタ、容量素子、抵抗素子、配線）を意味する。以下にでてくる他の半導体素子もこの意味である。

【 0 0 1 1 】

本発明にかかる半導体装置の製造方法には、次の工程を加えることができる。すなわち、本発明は、さらに、（d）前記アナログ素子領域に、第1抵抗素子および第2抵抗素子を形成する工程、を備え、前記工程（d）は、前記工程（c）と同一工程であり、前記工程（d）において、前記第1抵抗素子が形成される領

域への不純物のイオン注入回数を、前記第 2 抵抗素子が形成される領域への不純物のイオン注入回数よりも多くすることにより、前記第 1 抵抗素子の抵抗値を、前記第 2 抵抗素子の抵抗値よりも低くする、半導体装置の製造方法である。

【 0 0 1 2 】

上記工程を加えた本発明にかかる半導体装置の製造方法によれば、抵抗値が互いに異なる第 1 および第 2 抵抗素子を形成することができる。

【 0 0 1 3 】

本発明にかかる半導体装置の製造方法には、次の工程を加えることができる。すなわち、本発明は、さらに、(d) 前記アナログ素子領域に、第 1 抵抗素子および第 2 抵抗素子を形成する工程を備え、前記工程 (d) は、前記工程 (c) と同一工程であり、前記工程 (d) において、前記第 1 抵抗素子が形成される領域に不純物を拡散することにより、前記第 1 抵抗素子の抵抗値を、前記第 2 抵抗素子の抵抗値よりも低くする、半導体装置の製造方法である。

【 0 0 1 4 】

上記工程を加えた本発明にかかる半導体装置の製造方法によれば、抵抗値が互いに異なる第 1 および第 2 抵抗素子を形成することができる。

【 0 0 1 5 】

さらに、上記工程を加えた本発明にかかる半導体装置の製造方法によれば、第 1 抵抗素子の最低抵抗値を下げるることができる。すなわち、第 1 抵抗素子の抵抗値を第 2 抵抗素子の抵抗値よりも低くするのは、上記のとおり、前記第 1 抵抗素子への不純物のイオン注入回数を、前記第 2 抵抗素子への不純物のイオン注入回数よりも多くすることにより、実現できる。しかし、イオン注入だけでは、最低抵抗値が比較的高い（例えば、200～300Ω/□）。これに対して拡散によれば、イオン注入だけよりも最低抵抗値を下げるることができる（例えば、10～100Ω/□）。したがって、拡散によれば、第 1 抵抗素子の最低抵抗値を下げるできるので、抵抗値の選択の範囲を広げることができる。

【 0 0 1 6 】

本発明にかかる半導体装置の製造方法には、次の工程を加えることができる。すなわち、本発明は、さらに、(d) 前記アナログ素子領域に、第 1 抵抗素子お

よび第2抵抗素子を形成する工程を備え、前記工程(d)は、前記工程(c)と同一工程であり、前記工程(d)において、前記第1抵抗素子が形成される領域にシリサイド層を形成することにより、前記第1抵抗素子の抵抗値を、前記第2抵抗素子の抵抗値よりも低くする、半導体装置の製造方法である。

【0017】

上記工程を加えた本発明にかかる半導体装置の製造方法によれば、抵抗値が互いに異なる第1および第2抵抗素子を形成することができる。

【0018】

さらに、上記工程を加えた本発明にかかる半導体装置の製造方法によれば、第1抵抗素子の最低抵抗値を下げるることができる。すなわち、第1抵抗素子にシリサイド層を形成すれば、イオン注入だけよりも最低抵抗値を下げるることができる(例えば、 $5 \sim 10 \Omega/\square$)。したがって、シリサイド層形成によれば、第1抵抗素子の最低抵抗値を下げるできるので、抵抗値の選択の範囲を広げることができる。

【0019】

{2} 本発明は、半導体基板のDRAM領域に形成された、セル容量を含むDRAMと、前記半導体基板のアナログ素子領域に形成された、容量素子と、を備えた、半導体装置において、層間絶縁層および埋め込み接続層を備え、前記層間絶縁層は、前記半導体基板と前記容量素子との間に位置し、前記埋め込み接続層は、前記容量素子の下部電極を他の半導体素子と電気的に導通させるために用いられ、前記埋め込み接続層は、前記層間絶縁層に形成された接続孔に位置し、前記埋め込み接続層の一方端部は、前記下部電極の底面において、前記下部電極と接続している、半導体装置である。

【0020】

上記構成をした本発明によれば、下部電極と接続する埋め込み接続層が、下部電極よりも下に位置し、かつ下部電極の底面において下部電極と接続されているので、下部電極の側面のすべてを上部電極と対向させることができる。したがって、その分だけ、容量素子の面積を小さくすることが可能となるのである。このように、本発明によれば、容量素子の面積を小さくすることができるので、半導

体装置の微細化を図ることができる。

【 0 0 2 1 】

なお、埋め込み接続層は、導電性を有する材料（例えば、ポリシリコン、アモルファスシリコン、タングステンのような高融点金属）から構成されている。埋め込み接続層の材料は、下部電極の材料と同じでもよいし、異なってもよい。

【 0 0 2 2 】

本発明にかかる半導体装置は、次の構成を加えることができる。すなわち、本発明は、接続層を備え、前記接続層は、前記下部電極を他の半導体素子と電氣的に導通させるために用いられ、前記接続層は、前記 D R A M の構成要素であるワード線と同じ層に位置し、前記接続層は、前記埋め込み接続層の他方端部と接続している、半導体装置である。

【 0 0 2 3 】

この構成によれば、容量素子へノイズが伝達する問題を生じにくくすることができる。すなわち、接続層を、例えば、半導体基板に形成された不純物領域とした場合、この不純物領域と接続するウェルからの電荷が容量素子に流れることがある。これが、この容量素子を含む回路の誤動作の原因となる。これに対して、上記構成を加えた本発明によれば、接続層を前記 D R A M の構成要素であるワード線と同じ層にしているので、このようなノイズ伝達の問題が生じにくいのである。

【 0 0 2 4 】

なお、接続層は、導電性を有する材料（例えば、ポリシリコン、アモルファスシリコン、チタンシリサイド、タングステンシリサイド）から構成されている。接続層の材料は、ワード線の材料と同じである。

【 0 0 2 5 】

本発明にかかる半導体装置は、次の構成を加えることができる。すなわち、本発明は、さらに、他の容量素子を備え、前記他の容量素子は、前記アナログ素子領域に位置し、前記容量素子と前記他の容量素子とは、前記埋め込み接続層および前記接続層により、直列接続されている、半導体装置である。

【 0 0 2 6 】

上記構成をした本発明によれば、前記容量素子と前記他の容量素子とを、前記埋め込み接続層および前記接続層により電氣的に導通させている。このため、前記容量素子と前記他の容量素子とは、合成された一つの容量素子として機能する。そして、前記埋め込み接続層および前記接続層による接続は、直列接続なので、前記容量素子の耐圧と前記他の容量素子の耐圧とを加えた値が、上記合成された一つの容量素子の耐圧となる。よって、前記容量素子のみの場合に比べて耐圧を向上させることができる。

【 0 0 2 7 】

本発明にかかる半導体装置には、次の構成を加えることができる。すなわち、本発明は、さらに、第 1 抵抗素子および第 2 抵抗素子を備え、前記第 1 および前記第 2 抵抗素子は、前記アナログ素子領域に位置し、前記第 1 抵抗素子中の不純物濃度が、前記第 2 抵抗素子中の不純物濃度より高いことにより、前記第 1 抵抗素子の抵抗値は、前記第 2 抵抗素子の抵抗値よりも低い、半導体装置である。

【 0 0 2 8 】

本発明にかかる半導体装置には、次の構成を加えることができる。すなわち、本発明は、さらに、第 1 抵抗素子および第 2 抵抗素子を備え、前記第 1 および前記第 2 抵抗素子は、前記アナログ素子領域に位置し、前記第 1 抵抗素子が、シリサイド層を含むことにより、前記第 1 抵抗素子の抵抗値は、前記第 2 抵抗素子の抵抗値よりも低い、半導体装置である。

【 0 0 2 9 】

本発明にかかる半導体装置には、次の構成を加えることができる。すなわち、本発明は、前記容量素子の誘電体層の厚みが、前記セル容量の誘電体層の厚みと同じである、半導体装置である。

【 0 0 3 0 】

上記構成をした本発明にかかる半導体装置によれば、容量素子の面積を小さくすることが可能となる。すなわち、DRAMが誤動作しないためには、DRAMのセル容量の蓄積容量を所定値以上にしなければならない。このため、セル容量の誘電体層の厚みは、非常に薄い（例えば、5～10nm）。本発明では、容量

素子の誘電体層の厚みが、セル容量の誘電体層の厚みと同じである。このため、容量素子の面積を小さくしても、容量素子として必要な蓄積容量を確保することが可能となるのである。

【0031】

このように、上記構成をした本発明にかかる半導体装置によれば、容量素子の面積を小さくすることが可能なので、半導体装置を微細化することができる。

【0032】

【発明の実施の形態】

〔第1実施形態〕

{デバイスの構造}

図15は、本発明の第1実施形態にかかる半導体装置の断面を模式的に示す図である。この半導体装置1は、DRAM混載型半導体装置であり、DRAM領域1000およびアナログ素子領域2000を含む。

【0033】

DRAM領域1000は、ワード線100a、100b、MOS (Metal Oxide Semiconductor) 電界効果トランジスタ200a、200b、ビット線300およびセル容量700a、700bを含む。MOS電界効果トランジスタ200aとセル容量700aで、一メモリセルを構成し、MOS電界効果トランジスタ200bとセル容量700bで、一メモリセルを構成している。DRAM領域1000に形成されたメモリセルは、DRAM混載型半導体装置のDRAMマクロセルを構成する。

【0034】

一方、アナログ素子領域2000は、抵抗素子400、抵抗素子500、容量素子600a、600bおよび各種トランジスタ（図示せず）を含む。抵抗素子400、500、容量素子600a、600bおよび各種トランジスタは、アナログ回路の一例であるA/Dコンバータを構成する。

【0035】

以上が半導体装置1の大まかな構造である。次に、DRAM領域1000の構造について詳細に説明し、その後、アナログ素子領域2000の構造について詳

細に説明する。

【0036】

(DRAM領域1000)

P⁻型シリコン基板11内には、P型ウェル13が形成されている。P型ウェル13上には、フィールド酸化層15a、15bが、それぞれ、選択的に形成されている。P型ウェル13のうち、フィールド酸化層15aとフィールド酸化層15bとで規定される領域が、活性領域13aとなる。活性領域13aには、MOS電界効果トランジスタ200a、200bが形成されている。また、フィールド酸化層15a上にはワード線100aが位置し、フィールド酸化層15b上にはワード線100bが位置している。

【0037】

まず、MOS電界効果トランジスタ200aについて説明する。MOS電界効果トランジスタ200aは、ゲート電極(ワード線)17a、N⁺型ソース/ドレイン領域41aおよびN⁺型ソース/ドレイン領域41bを備える。N⁺型ソース/ドレイン領域41aおよびN⁺型ソース/ドレイン領域41bは、活性領域13aの表面に、互いに間を隔てて位置している。活性領域13aのうち、N⁺型ソース/ドレイン領域41aとN⁺型ソース/ドレイン領域41bとの間にある領域上には、ゲート酸化層25aを介してゲート電極17aが位置している。ゲート電極17aは、多結晶シリコン層21上にタングステンシリサイド層23が位置している構造をしている。

【0038】

次に、MOS電界効果トランジスタ200bについて説明する。MOS電界効果トランジスタ200bは、ゲート電極(ワード線)17b、N⁺型ソース/ドレイン領域41bおよびN⁺型ソース/ドレイン領域41cを備える。MOS電界効果トランジスタ200aとMOS電界効果トランジスタ200bは、N⁺型ソース/ドレイン領域41bを共用している。N⁺型ソース/ドレイン領域41bおよびN⁺型ソース/ドレイン領域41cは、活性領域13aの表面に、互いに間を隔てて位置している。活性領域13aのうち、N⁺型ソース/ドレイン領域41bとN⁺型ソース/ドレイン領域41cとの間にある領域上には、ゲート

酸化層 2 5 b を介してゲート電極 1 7 b が位置している。ゲート電極 1 7 b は、ゲート電極 1 7 a と同じ構造をしている。

【 0 0 3 9 】

次に、ワード線 1 0 0 a、1 0 0 b について説明する。ワード線 1 0 0 a、1 0 0 b は、ともに、多結晶シリコン層 2 1 上にタングステンシリサイド層 2 3 が位置している構造をしている。

【 0 0 4 0 】

MOS 電界効果トランジスタ 2 0 0 a、2 0 0 b およびワード線 1 0 0 a、1 0 0 b を覆うように、下から順に、TEOS 層 3 1、シリコン窒化層 3 3、層間絶縁層 3 5 が位置している。層間絶縁層 3 5 としては、例えば、シリコン酸化層がある。上記 3 層には、コンタクトホール 3 7 が形成されている。コンタクトホール 3 7 は、 N^+ 型ソース/ドレイン領域 4 1 b に到達している。ビット線 3 0 0 は、層間絶縁層 3 5 上に位置している。ビット線 3 0 0 はコンタクトホール 3 7 内を通り、 N^+ 型ソース/ドレイン領域 4 1 b と接続されている。ビット線 3 0 0 は、多結晶シリコン層 4 3 上にタングステンシリサイド層 4 5 が位置している構造をしている。

【 0 0 4 1 】

ビット線 3 0 0 を覆うように、層間絶縁層 4 7 が位置している。層間絶縁層 4 7 としては、例えば、シリコン酸化層がある。層間絶縁層 4 7、層間絶縁層 3 5、シリコン窒化層 3 3 および TEOS 層 3 1 には、コンタクトホール 5 1 a、5 1 b が形成されている。コンタクトホール 5 1 a は、 N^+ 型ソース/ドレイン領域 4 1 a に到達している。また、コンタクトホール 5 1 b は、 N^+ 型ソース/ドレイン領域 4 1 c に到達している。

【 0 0 4 2 】

層間絶縁層 4 7 上には、セル容量 7 0 0 a、7 0 0 b が位置している。まず、セル容量 7 0 0 a から説明する。セル容量 7 0 0 a は、ストレージノード 5 3 a、ON 層 6 1 およびセルプレート 6 7 を含む。ストレージノード 5 3 a は、層間絶縁層 4 7 上に位置している。ストレージノード 5 3 a は、コンタクトホール 5 1 a 内に形成された埋め込み接続層 5 8 a を介して、 N^+ 型ソース/ドレイン領

域 4 1 a と電氣的に導通されている。ストレージノード 5 3 a と埋め込み接続層 5 8 a とは、多結晶シリコン層であり、一体的に形成されている。ストレージノード 5 3 a を覆うように、ON 層 6 1 が位置している。ON 層 6 1 は、シリコン酸化層とシリコン窒化層とで構成され、誘電体層として機能する。ON 層 6 1 を覆うように、セルプレート 6 7 が位置している。セルプレート 6 7 は、多結晶シリコン層である。

【 0 0 4 3 】

次に、セル容量 7 0 0 b を説明する。セル容量 7 0 0 b はセル容量 7 0 0 a と同様の構成をしている。すなわち、セル容量 7 0 0 b は、ストレージノード 5 3 b、ON 層 6 1 およびセルプレート 6 7 を含む。ストレージノード 5 3 b は、層間絶縁層 4 7 上に位置している。ストレージノード 5 3 b は、コンタクトホール 5 1 b 内に形成された埋め込み接続層 5 8 b を介して、 N^+ 型ソース／ドレイン領域 4 1 c と電氣的に導通されている。ストレージノード 5 3 b と埋め込み接続層 5 8 b とは、多結晶シリコン層であり、一体的に形成されている。ストレージノード 5 3 b を覆うように、ON 層 6 1 が位置している。ON 層 6 1 を覆うように、セルプレート 6 7 が位置している。

【 0 0 4 4 】

層間絶縁層 7 1 が、セル容量 7 0 0 a、7 0 0 b を覆うように位置している。層間絶縁層 7 1 としては、例えば、シリコン酸化層がある。以上で DRAM 領域 1 0 0 0 の構造の詳細な説明を終わる。

【 0 0 4 5 】

(アナログ素子領域 2 0 0 0)

P^- 型シリコン基板 1 1 中には、P 型ウェル 1 3 が形成されている。P 型ウェル 1 3 上には、フィールド酸化層 1 5 c が、選択的に形成されている。フィールド酸化層 1 5 c 上には、接続層 1 9 が位置している。接続層 1 9 は、容量素子 6 0 0 a と容量素子 6 0 0 b とを電氣的に導通するために用いられる。接続層 1 9 は、多結晶シリコン層 2 1 上にタングステンシリサイド層 2 3 が位置している構造をしている。接続層 1 9 は、ゲート電極 1 7 a、1 7 b およびワード線 1 0 0 a、1 0 0 b と同じ層にある。

【 0 0 4 6 】

接続層 1 9 を覆うように、下から順に、T E O S 層 3 1、シリコン窒化層 3 3、層間絶縁層 3 5、4 7 が位置している。層間絶縁層 4 7 上には、容量素子 6 0 0 a、6 0 0 b、抵抗素子 4 0 0 および抵抗素子 5 0 0 が位置している。

【 0 0 4 7 】

まず、容量素子 6 0 0 a から説明する。容量素子 6 0 0 a は、下部電極 5 5 a、ON 層 6 1 および上部電極 6 9 a を備える。下部電極 5 5 a は、層間絶縁層 4 7 上に位置している。下部電極 5 5 a は、コンタクトホール 5 1 c 内に形成された埋め込み接続層 5 8 c の一方端部と接続されている。下部電極 5 5 a と埋め込み接続層 5 8 c との接続は、下部電極 5 5 a の底面で行われている。下部電極 5 5 a と埋め込み接続層 5 8 c とは、多結晶シリコン層であり、一体的に形成されている。埋め込み接続層 5 8 c の他方端部は、接続層 1 9 と接続されている。埋め込み接続層 5 8 c は、容量素子 6 0 0 a と容量素子 6 0 0 b とを電氣的に導通させるために用いられる。下部電極 5 5 a を覆うように、ON 層 6 1 が位置している。ON 層 6 1 を覆うように、上部電極 6 9 a が位置している。上部電極 6 9 a は、多結晶シリコン層である。

【 0 0 4 8 】

次に、容量素子 6 0 0 b について説明する。容量素子 6 0 0 b は容量素子 6 0 0 a と同様の構成をしている。すなわち、容量素子 6 0 0 b は、下部電極 5 5 b、ON 層 6 1 および上部電極 6 9 b を備える。下部電極 5 5 b は、層間絶縁層 4 7 上に位置している。下部電極 5 5 b は、コンタクトホール 5 1 d 内に形成された埋め込み接続層 5 8 d の一方端部と接続されている。下部電極 5 5 b と埋め込み接続層 5 8 d との接続は、下部電極 5 5 b の底面で行われている。下部電極 5 5 b と埋め込み接続層 5 8 d とは、多結晶シリコン層であり、一体的に形成されている。埋め込み接続層 5 8 d の他方端部は、接続層 1 9 と接続されている。埋め込み接続層 5 8 d は、容量素子 6 0 0 a と容量素子 6 0 0 b とを電氣的に導通させるために用いられる。下部電極 5 5 b を覆うように、ON 層 6 1 が位置している。ON 層 6 1 を覆うように、上部電極 6 9 b が位置している。上部電極 6 9 b は、多結晶シリコン層である。

【 0 0 4 9 】

以上説明したように、容量素子 6 0 0 a と容量素子 6 0 0 b とは、埋め込み接続層 5 8 c、接続層 1 9、埋め込み接続層 5 8 d により、直列に接続されている。

【 0 0 5 0 】

次に、抵抗素子 4 0 0、5 0 0 について説明する。抵抗素子 4 0 0、5 0 0 は、層間絶縁層 4 7 上に位置している。抵抗素子 4 0 0 の抵抗値は、抵抗素子 5 0 0 の抵抗値よりも低い。抵抗素子 4 0 0 の抵抗値は、例えば、2 0 0 ~ 3 0 0 Ω である。抵抗素子 5 0 0 の抵抗値は、例えば、1 ~ 1 0 k Ω である。

【 0 0 5 1 】

抵抗素子 4 0 0、抵抗素子 5 0 0 および容量素子 6 0 0 a、6 0 0 b を覆うように、層間絶縁層 7 1 が位置している。層間絶縁層 7 1 には複数のスルーホールが形成されている。これらのスルーホール内には、それぞれ、タングステンプラグ 7 3 a ~ 7 3 f が充填されている。

【 0 0 5 2 】

層間絶縁層 7 1 上には、アルミ配線 7 5 a ~ 7 5 f が位置している。アルミ配線 7 5 a は、タングステンプラグ 7 3 a を介して、上部電極 6 9 a と電氣的に導通されている。アルミ配線 7 5 b は、タングステンプラグ 7 3 b を介して、上部電極 6 9 b と電氣的に導通されている。アルミ配線 7 5 c は、タングステンプラグ 7 3 c を介して、抵抗素子 4 0 0 の一方端部と電氣的に導通されている。アルミ配線 7 5 d は、タングステンプラグ 7 3 d を介して、抵抗素子 4 0 0 の他方端部と電氣的に導通されている。アルミ配線 7 5 e は、タングステンプラグ 7 3 e を介して、抵抗素子 5 0 0 の一方端部と電氣的に導通されている。アルミ配線 7 5 f は、タングステンプラグ 7 3 f を介して、抵抗素子 5 0 0 の他方端部と電氣的に導通されている。

【 0 0 5 3 】

なお、アナログ素子領域 2 0 0 0 の容量素子 6 0 0 a、6 0 0 b と、DRAM 領域 1 0 0 0 のセル容量 7 0 0 a、7 0 0 b とは、同時に形成されるので、これらを構成する層は、同じ厚みとなる。すなわち、容量素子 6 0 0 a、6 0 0 b の

下部電極 5 5 a、5 5 b の厚み（例えば、1 0 0 ~ 1 0 0 0 n m）は、セル容量 7 0 0 a、7 0 0 b のストレージノード 5 3 a、5 3 b の厚みと同じである。また、容量素子 6 0 0 a、6 0 0 b の ON 層 6 1 の厚み（例えば、5 ~ 1 0 n m）は、セル容量 7 0 0 a、7 0 0 b の ON 層 6 1 の厚みと同じである。また、容量素子 6 0 0 a、6 0 0 b の上部電極 6 9 a、6 9 b の厚み（例えば、5 0 ~ 2 0 0 n m）は、セル容量 7 0 0 a、7 0 0 b のセルプレート 6 7 の厚みと同じである。

【 0 0 5 4 】

以上でアナログ素子領域 2 0 0 0 の構造の詳細な説明を終わる。

【 0 0 5 5 】

半導体装置 1 によれば、次の（効果 1）～（効果 4）が生じる。

【 0 0 5 6 】

（効果 1）

半導体装置 1 によれば、容量素子 6 0 0 a、6 0 0 b の面積を小さくすることが可能となる。すなわち、DRAM が誤動作しないためには、DRAM のセル容量 7 0 0 a、7 0 0 b の蓄積容量を所定値以上にしなければならない。このため、セル容量 7 0 0 a、7 0 0 b の誘電体層（ON 層 6 1）の厚みは、非常に薄い（例えば、5 ~ 1 0 n m）。本発明では、容量素子 6 0 0 a、6 0 0 b の誘電体層（ON 層 6 1）の厚みが、セル容量 7 0 0 a、7 0 0 b の誘電体層（ON 層 6 1）の厚みと同じであるので、非常に薄い。このため、容量素子 6 0 0 a、6 0 0 b の面積を小さくしても、容量素子 6 0 0 a、6 0 0 b として必要な蓄積容量を確保することが可能となるのである。

【 0 0 5 7 】

このように、半導体装置 1 によれば、容量素子 6 0 0 a、6 0 0 b の面積を小さくすることが可能なので、半導体装置 1 を微細化することができる。

【 0 0 5 8 】

（効果 2）

半導体装置 1 によれば、下部電極 5 5 a、5 5 b と、それぞれ、接続する埋め込み接続層 5 8 c、5 8 d が、下部電極 5 5 a、5 5 b の底面で接続されている

。このため、下部電極 5 5 a、5 5 b の側面のすべてを上部電極 6 9 a、6 9 b と対向させることができるので、その分だけ、容量素子 6 0 0 a、6 0 0 b の面積を小さくすることが可能となる。よって、半導体装置 1 によれば、半導体装置の微細化を図ることができる。

【 0 0 5 9 】

(効果 3)

半導体装置 1 によれば、容量素子 6 0 0 a、6 0 0 b へノイズが伝達する問題を生じにくくすることができる。すなわち、容量素子 6 0 0 a と容量素子 6 0 0 b とを電氣的に導通させるための接続層を、例えば、半導体基板に形成された不純物領域とした場合、この不純物領域と接続するウェルからの電荷が容量素子 6 0 0 a、6 0 0 b に流れることがある。これが、容量素子 6 0 0 a、6 0 0 b を含む回路の誤動作の原因となる。これに対して、半導体装置 1 によれば、接続層 1 9 が、DRAM のワード線 1 0 0 a、1 0 0 b と同じ層に位置している。よって、このようなノイズ伝達の問題が生じにくいのである。

【 0 0 6 0 】

(効果 4)

半導体装置 1 によれば、容量素子 6 0 0 a と容量素子 6 0 0 b とを、埋め込み接続層 5 8 c、接続層 1 9 および埋め込み接続層 5 8 d により電氣的に導通させている。このため、容量素子 6 0 0 a と容量素子 6 0 0 b とは、合成された一つの容量素子として機能する。そして、埋め込み接続層 5 8 c、接続層 1 9、埋め込み接続層 5 8 d を介しての接続は、直列接続なので、容量素子 6 0 0 a の耐圧と容量素子 6 0 0 b の耐圧とを加えた値が、上記合成された一つの容量素子の耐圧となる。よって、容量素子 6 0 0 a (または容量素子 6 0 0 b) のみの場合に比べて耐圧を向上させることができる。

【 0 0 6 1 】

{デバイスの製造方法}

図 1 5 に示す半導体装置 1 の製造方法を、図 1 ～図 1 4 を用いて説明する。図 1 ～図 1 4 は、半導体装置 1 の製造方法の工程図である。

【 0 0 6 2 】

(ゲート電極、ワード線、導電層の形成)

まず、図15に示すゲート電極17a、17b、ワード線100a、100bおよび接続層19の形成工程を、図1および図2を用いて説明する。

【0063】

図1に示すように、P⁻型シリコン基板11の表面に、例えば、選択酸化法によってフィールド酸化層15a、15b、15cを形成する。フィールド酸化層15a、15bは、DRAM領域1000に形成されている。フィールド酸化層15cは、アナログ素子領域2000に形成されている。

【0064】

次に、P⁻型シリコン基板11の全面に、p型不純物（例えば、ボロン）をイオン注入することにより、P⁻型シリコン基板11中にP型ウェル13を形成する。P型ウェル13のうち、フィールド酸化層15aとフィールド酸化層15bとで規定された領域は、活性領域13aとなる。

【0065】

図2に示すように、P⁻型シリコン基板11を、例えば、熱酸化することにより、活性領域13a上に、ゲート酸化層25a、25bとなる熱酸化層を形成する。そして、この熱酸化層上に、例えば、CVD法を用いて、ドーパドアモルファスシリコン層を形成する。ドーパドアモルファスシリコン層は、ゲート電極などの構成要素となる。ドーパドアモルファスシリコン層は、製造工程中の熱処理により、多結晶シリコン層21となる。次に、このドーパドアモルファスシリコン層上に、例えば、CVD法を用いて、タングステンシリサイド層23を形成する。次に、タングステンシリサイド層23上に、例えば、CVD法により、キャップ層となるシリコン酸化層27を形成する。

【0066】

熱酸化層、ドーパドアモルファスシリコン層、タングステンシリサイド層23およびシリコン酸化層27からなる構造物を、例えば、フォトリソグラフィとエッチングとにより、所定のパターンニングをする。これにより、DRAM領域1000には、ワード線100a、100b、ゲート電極17a、17bが形成される。また、アナログ素子領域2000には接続層19が形成される。

【0067】

次に、ゲート電極17a、17bをマスクとして、活性領域13aに、N型不純物（例えば、リン）をイオン注入し、N⁻型不純物領域29a、29b、29cを形成する。

【0068】

（ビット線の形成）

図15に示すビット線300の形成工程を、図3～図5を用いて説明する。

【0069】

図3に示すように、P⁻型シリコン基板11を覆うように、例えば、CVD法により、TEOS層31を形成する。次に、TEOS層31上に、例えば、CVD法により、シリコン窒化層33を形成する。TEOS層31およびシリコン窒化層33は、後の工程であるコンタクトホール形成工程において、エッチングストップパとして機能する。

【0070】

図4に示すように、シリコン窒化層33上に、例えば、CVD法により、シリコン酸化層からなる層間絶縁層35を形成する。次に、レジストを層間絶縁層35上に形成する。このレジストをマスクとして、層間絶縁層35、シリコン窒化層33およびTEOS層31からなる層を選択的にエッチングすることにより、N⁻型不純物領域29bに到達するコンタクトホール37を形成する。コンタクトホール37形成工程を詳細に説明する。

【0071】

コンタクトホール37形成工程において、まず、レジストをマスクとして、層間絶縁層35がエッチングされる。このエッチングのとき、シリコン窒化層33がエッチングストップパとなる。レジスト除去後、シリコン窒化層33がエッチングされる。このエッチングのとき、TEOS層31がエッチングストップパとなる。そして、最後に、TEOS層31がエッチングされる。以上により、コンタクトホール37が自己整合的に形成される。このようなコンタクトホール形成工程によれば、コンタクトホール37によりゲート電極17aが露出するということとを避けることができるのである。 次に、層間絶縁層35をマスクとして、活性

領域 1 3 a に、N 型不純物（例えば、リン）をイオン注入し、 N^+ 型不純物領域 3 9 を形成する。 N^+ 型不純物領域 3 9 と N^- 型不純物領域 2 9 b とで、 N^+ 型ソース／ドレイン領域 4 1 b が構成される。

【 0 0 7 2 】

図 5 に示すように、層間絶縁層 3 5 上に、例えば、CVD 法を用いて、ドーパドアモルファスシリコン層を形成する。ドーパドアモルファスシリコン層は、ビット線の構成要素であるシリコン層 4 3 になる。ドーパドアモルファスシリコン層は、製造工程中の熱処理により、多結晶シリコン層 4 3 となる。次に、このドーパドアモルファスシリコン層上に、例えば、CVD 法を用いて、タングステンシリサイド層 4 5 を形成する。ドーパドアモルファスシリコン層およびタングステンシリサイド層 4 5 からなる構造物を、例えば、フォトリソグラフィとエッチングとにより、所定のパターンニングをする。これにより、DRAM 領域 1 0 0 0 には、ビット線 3 0 0 が形成される。ビット線 3 0 0 は、コンタクトホール 3 7 内にも形成され、 N^+ 型ソース／ドレイン領域 4 1 b と接続されている。

【 0 0 7 3 】

（ストレージノード、下部電極の形成）

図 1 5 に示すストレージノード 5 3 a、5 3 b、下部電極 5 5 a、5 5 b の形成工程を、図 6 および図 7 を用いて説明する。

【 0 0 7 4 】

図 6 に示すように、ビット線 3 0 0 を覆うように、 P^- 型シリコン基板 1 1 全面に、例えば、CVD 法により、シリコン酸化層からなる層間絶縁層 4 7 を形成する。次に、レジストを層間絶縁層 4 7 上に形成する。このレジストをマスクとして、層間絶縁層 4 7、3 5、シリコン窒化層 3 3 および TEOS 層 3 1 からなる層を選択的にエッチングすることにより、コンタクトホール 5 1 a ～ 5 1 d を形成する。コンタクトホール 5 1 a は、 N^- 型不純物領域 2 9 a に到達している。コンタクトホール 5 1 b は、 N^- 型不純物領域 2 9 c に到達している。コンタクトホール 5 1 c は、接続層 1 9 の一方端部に到達している。コンタクトホール 5 1 d は、接続層 1 9 の他方端部に到達している。

【 0 0 7 5 】

次に、層間絶縁層47をマスクとして、活性領域13aに、N型不純物（例えば、リン）をイオン注入し、 N^+ 型不純物領域49a、49bを形成する。 N^+ 型不純物領域49aと N^- 型不純物領域29aとで、 N^+ 型ソース／ドレイン領域41aが構成される。また、 N^+ 型不純物領域49bと N^- 型不純物領域29cとで、 N^+ 型ソース／ドレイン領域41cが構成される。

【0076】

図7に示すように、層間絶縁層47上およびコンタクトホール51a～51d内に、例えば、CVD法を用いて、ドーパドアモルファスシリコン層を形成する。層間絶縁層47上のドーパドアモルファスシリコン層は、ストレージノードや下部電極となる。コンタクトホール51a～51d内のドーパドアモルファスシリコン層は、埋め込み接続層58a～58dとなる。このように、ストレージノードとこれに接続する埋め込み接続層とは、一体的に形成され、また、下部電極とこれに接続する埋め込み接続層とは、一体的に形成される。ドーパドアモルファスシリコン層は、製造工程中の熱処理により、多結晶シリコン層となる。

【0077】

次に、このドーパドアモルファスシリコン層を、例えば、フォトリソグラフィとエッチングとにより、所定のパターンニングをする。これにより、DRAM領域1000には、ストレージノード53a、53bが形成される。また、アナログ素子領域2000には、下部電極55a、55bが形成される。

【0078】

（ストレージノードおよび下部電極の表面に凹凸形成）

図15に示すストレージノード53a、53bおよび下部電極55a、55bの表面に凹凸を形成する工程を、図8～図9を用いて説明する。ストレージノード53a、53bおよび下部電極55a、55bの表面に凹凸をつけることにより、表面積を大きくし、蓄積容量を増やしているのである。

【0079】

図8に示すように、ストレージノード53a、53bおよび下部電極55a、55bを覆うように、 P^- 型シリコン基板11全面に、凹凸な表面を有するアモルファスシリコン層57を形成する。この表面処理は、公知であり、本明細書で

は説明を省略する。

【0080】

図9に示すように、アモルファスシリコン層57を全面エッチバックすることにより、層間絶縁層47上のアモルファスシリコン層57を除去する。これは、ストレージノード53aとストレージノード53bとのショートを防ぐためであり、かつ下部電極55aと下部電極55bとのショートを防ぐためである。このエッチバックのとき、アモルファスシリコン層57表面の凹凸が、そのままストレージノード53a、53b表面および下部電極55a、55b表面に反映する。この結果、ストレージノード53a、53b表面および下部電極55a、55b表面に凹凸が形成される。

【0081】

(セルプレート、上部電極、抵抗素子の形成)

図15に示すセルプレート67、上部電極69a、69b、抵抗素子400、500を形成する工程を、図10～図14を用いて説明する。

【0082】

図10に示すように、ストレージノード53a、53bおよび下部電極55a、55bを覆うように、P⁻型シリコン基板11全面に、例えば、CVD法により、シリコン窒化層を形成する。このシリコン窒化層を熱酸化することにより、このシリコン窒化層表面にシリコン酸化層を形成する。これがON層61である。

【0083】

図11に示すように、ON層61を覆うように、P⁻型シリコン基板11全面に、例えば、CVD法により、ノンドーブの多結晶シリコン層63を形成する。

【0084】

図12に示すように、第1回イオン注入工程を行う。すなわち、多結晶シリコン層63全面に、不純物（例えば、リン）をイオン注入する。ドーズ量は、 $2 \times 10^{15} \sim 3 \times 10^{15}$ である。注入エネルギーは、10～20keVである。これらの条件は、図15に示す抵抗素子500の抵抗値（例えば、1～10k Ω ）を得るため条件である。

【0085】

図13に示すように、多結晶シリコン層63のうち、図15に示す抵抗素子500が形成される領域上に、レジスト65を形成する。そして、第2回イオン注入工程を行う。すなわち、レジスト65をマスクとして、多結晶シリコン層63に、不純物（例えば、リン）をイオン注入する。ドーズ量は、 $5 \times 10^{15} \sim 8 \times 10^{15}$ である。注入エネルギーは、 $10 \sim 20 \text{ keV}$ である。第1および第2イオン注入工程により、図15に示す抵抗素子400の抵抗値（例えば、 $200 \sim 300 \Omega$ ）が得られる。

【0086】

そして、多結晶シリコン層63を、例えば、フォトリソグラフィとエッチングとにより、所定のパターンニングをする。これにより、図14に示すように、DRAM領域1000には、セルプレート67が形成される。また、アナログ素子領域2000には、上部電極69a、69b、抵抗素子400および抵抗素子500が形成される。

【0087】

（アルミ配線の形成）

図15に示すアルミ配線75a～75fを形成する工程を、図15を用いて説明する。この工程は公知の方法を用いることができるので、簡単な説明にとどめる。

【0088】

図15に示すように、 P^- 型シリコン基板11全面に、シリコン酸化層からなる層間絶縁層71を形成する。層間絶縁層71に複数のスルーホールを形成し、各スルーホールにタングステンプラグ73a～73fを埋め込む。そして、層間絶縁層71上に、アルミ配線75a～75fを形成する。

【0089】

以上述べた製造工程により、図15に示す半導体装置1が完成する。半導体装置1の製造方法によれば、次の（効果1）～（効果3）が生じる。

【0090】

（効果1）

図 7～図 1 4 に示すように、半導体装置 1 の製造方法によれば、セル容量 7 0 0 a、7 0 0 b と容量素子 6 0 0 a、6 0 0 b とを同時に形成している。このため、これらを別々に形成する場合に比べて、工程の簡略化を図ることができる。

【0 0 9 1】

(効果 2)

図 2 に示すように、半導体装置 1 の製造方法によれば、接続層 1 9 を、ワード線 1 0 0 a、1 0 0 b と同時に形成するので、工程の簡略化を図ることができる。

【0 0 9 2】

(効果 3)

図 1 2 および図 1 3 に示すように、半導体装置 1 の製造方法によれば、抵抗素子 4 0 0 形成のためのイオン注入回数を二回とし、抵抗素子 5 0 0 形成のためのイオン注入回数を一回とすることにより、抵抗素子 4 0 0 の抵抗値を、抵抗素子 5 0 0 の抵抗値よりも低くしている。このため、半導体装置 1 の製造方法によれば、互いに抵抗値が異なる抵抗素子 4 0 0、5 0 0 を形成することができる。

【0 0 9 3】

[第 2 実施形態]

{デバイスの構造}

図 1 8 は、本発明の第 2 実施形態にかかる半導体装置の断面を模式的に示す図である。第 2 実施形態にかかる半導体装置 3 は、図 1 5 に示す第 1 実施形態と同様に、DRAM 混載型半導体装置である。第 2 実施形態にかかる半導体装置 3 において、第 1 実施形態にかかる半導体装置 1 と同等の機能を有する部分には、同一符号を付してある。半導体装置 3 が半導体装置 1 と相違する部分を説明し、同じ部分については説明を省略する。

【0 0 9 4】

半導体装置 3 によれば、抵抗素子 4 0 0 の抵抗値は、例えば、1 0 ～1 0 0 Ω であり、最低抵抗値が、第 1 実施形態にかかる半導体装置 1 の抵抗素子 4 0 0 に比べて、小さい値になっている。これは、第 2 実施形態にかかる半導体装置 3 の抵抗素子 4 0 0 を、イオン注入と拡散とにより作製したからである。

【 0 0 9 5 】

また、半導体装置 3 によれば、抵抗素子 5 0 0 上に、シリコン酸化層 7 7 が位置している。シリコン酸化層 7 7 は、拡散工程においてマスクとして用いられた物である。詳しくは、次のデバイスの製造方法で説明する。

【 0 0 9 6 】

このような、半導体装置 3 によれば、上記第 1 実施形態にかかる半導体装置 1 で説明した（効果 1）～（効果 4）が生じる。

【 0 0 9 7 】

{デバイスの製造方法}

図 1 8 に示す半導体装置 3 の製造方法を、図 1 6 および図 1 7 を用いて説明する。図 1 6 および図 1 7 は、半導体装置 3 の製造方法の工程図である。

【 0 0 9 8 】

まず、第 1 実施形態と同様に、図 1 ～図 1 2 に示す工程を行う。

【 0 0 9 9 】

図 1 6 に示すように、多結晶シリコン層 6 3 上に、例えば、CVD 法を用いて、シリコン酸化層 7 7 を形成する。次に、例えば、フォトリソグラフィとエッチングにより、シリコン酸化層 7 7 をパターンニングする。これにより、多結晶シリコン層 6 3 のうち、図 1 8 に示す抵抗素子 5 0 0 が形成される領域上に、シリコン酸化層 7 7 を残す。

【 0 1 0 0 】

図 1 7 に示すように、拡散工程を行う。すなわち、シリコン基板 1 1 を拡散炉に入れ、シリコン酸化層 7 7 をマスクとして、多結晶シリコン層 6 3 に、不純物（例えば、リン）を熱拡散する。条件は、以下のとおりである。

【 0 1 0 1 】

不純物： POCl_3

拡散温度：800～900℃

拡散時間：15～30分

図 1 2 に示すイオン注入工程およびこの拡散工程により、図 1 8 に示す抵抗素子 4 0 0 の抵抗値（例えば、10～100Ω）が得られる。

【0102】

後の工程は、第1実施形態にかかる半導体装置1の製造方法と同じなので、説明を省略する。

【0103】

第2実施形態にかかる半導体装置3の製造方法によれば、上記第1実施形態にかかる半導体装置1の製造方法で説明した（効果1）および（効果2）が生じる。

【0104】

さらに、第2実施形態にかかる半導体装置3の製造方法によれば、抵抗値が異なる抵抗素子400、500を形成することができ、かつ、抵抗素子400の最低抵抗値を下げることができる。

【0105】

[第3実施形態]

{デバイスの構造}

図21は、本発明の第3実施形態にかかる半導体装置の断面を模式的に示す図である。第3実施形態にかかる半導体装置5は、図15に示す第1実施形態と同様に、DRAM混載型半導体装置である。第3実施形態にかかる半導体装置5において、第1実施形態にかかる半導体装置1と同等の機能を有する部分には、同一符号を付してある。半導体装置5が半導体装置1と相違する部分を説明し、同じ部分については説明を省略する。

【0106】

半導体装置5によれば、抵抗素子400の抵抗値は、例えば、5～10Ωであり、最低抵抗値が、第1実施形態にかかる半導体装置1の抵抗素子400に比べて、小さい値になっている。これは、第3実施形態にかかる半導体装置5の抵抗素子400上に、チタンシリサイド層81があるからである。なお、チタンシリサイド層81は、セルプレート67および上部電極69a、69b上にも位置している。

【0107】

また、半導体装置5によれば、抵抗素子500上に、シリコン酸化層77が位

置している。シリコン酸化層 77 は、チタンシリサイド層 81 形成工程においてマスクとして用いられた物である。詳しくは、次のデバイスの製造方法で説明する。

【0108】

このような、半導体装置 5 によれば、上記第 1 実施形態にかかる半導体装置 1 で説明した（効果 1）～（効果 4）が生じる。

【0109】

{デバイスの製造方法}

図 21 に示す半導体装置 5 の製造方法を、図 19 および図 20 を用いて説明する。図 19 および図 20 は、半導体装置 5 の製造方法の工程図である。

【0110】

まず、第 1 実施形態と同様に、図 1 ～図 12 に示す工程を行う。次に、第 2 実施形態と同様に、図 16 に示す工程を行う。

【0111】

図 19 に示すように、多結晶シリコン層 63 およびシリコン酸化層 77 を覆うように、例えば、スパッタリングを用いて、厚さ 20 ～ 50 nm のチタン層 79 を形成する。そして、チタン層 79 が形成された P⁻型シリコン基板 11 を、例えば、窒素雰囲気中で第 1 の熱処理をする。第 1 の熱処理は、例えば、650 ～ 750℃で、30 ～ 60 秒の条件で行う。

【0112】

この第 1 の熱処理により、図 20 に示すように、チタンシリサイド層 81 が形成される。そして、例えば、ウェットエッチングにより、窒化チタン層および未反応のチタン層を除去する。次に、例えば、第 2 の熱処理をする。第 2 の熱処理は、例えば、800 ～ 850℃で、30 ～ 60 秒の条件で行う。第 2 の熱処理により、チタンシリサイド層 21a、21b、21c では、高抵抗の結晶構造（C49 構造）から低抵抗の結晶構造（C54 構造）に相転移がなされる。

【0113】

後の工程は、第 1 実施形態にかかる半導体装置 1 の製造方法と同じなので、説明を省略する。

【0 1 1 4】

第3実施形態にかかる半導体装置5の製造方法によれば、上記第1実施形態にかかる半導体装置1の製造方法で説明した（効果1）および（効果2）が生じる。

【0 1 1 5】

さらに、第3実施形態にかかる半導体装置5の製造方法によれば、抵抗値が異なる抵抗素子400、500を形成することができ、かつ、抵抗素子400の最低抵抗値を下げることができる。

【0 1 1 6】

[第4実施形態]

図22は、本発明の第4実施形態にかかる半導体装置の断面を模式的に示す図である。第4実施形態にかかる半導体装置7は、図15に示す第1実施形態と同様に、DRAM混載型半導体装置である。第4実施形態にかかる半導体装置7において、第1実施形態にかかる半導体装置1と同等の機能を有する部分には、同一符号を付してある。半導体装置7が半導体装置1と相違する部分を説明し、同じ部分については説明を省略する。

【0 1 1 7】

半導体装置7によれば、二つの容量素子が直列接続された構造ではなく、容量素子600aのみの構造である。容量素子一つのみでも、容量素子が絶縁破壊するおそれがない場合は、第4実施形態にかかる半導体装置7のような構造となる。

【0 1 1 8】

次に、下部電極55aと配線との電氣的導通について説明する。接続層19の一方端部は、これまでの実施形態と同様に、下部電極55aと一体形成された埋め込み接続層58cと接続されている。一方、接続層19の他方端部には、層間絶縁層71、47、35、シリコン窒化層33、TEOS層31を貫通するコンタクトホール87が通じている。コンタクトホール87には、埋め込み接続層として機能するタングステンプラグ83が充填されている。タングステンプラグ83は、接続層19の他方端部と接続されている。層間絶縁層71上には、タング

ステンブラグ 8 3 と接続されたアルミ配線 8 5 がある。

【 0 1 1 9 】

このような、半導体装置 7 によれば、上記第 1 実施形態にかかる半導体装置 1 で説明した（効果 1）～（効果 3）が生じる。

【 0 1 2 0 】

図 2 2 に示す半導体装置 7 は、第 1 実施形態にかかる半導体装置 1 の製造方法と同様の方法を用いることにより、製造することができる。なお、第 2 実施形態にかかる半導体装置 3 の製造方法を用いれば、半導体装置 7 の抵抗素子 4 0 0、抵抗素子 5 0 0 のそれぞれの抵抗値を、半導体装置 3 の抵抗素子 4 0 0、抵抗素子 5 0 0 の抵抗値と同じにすることができる。また、第 3 実施形態にかかる半導体装置 5 の製造方法を用いれば、半導体装置 7 の抵抗素子 4 0 0、抵抗素子 5 0 0 のそれぞれの抵抗値を、半導体装置 5 の抵抗素子 4 0 0、抵抗素子 5 0 0 の抵抗値と同じにすることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 2】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 3】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 4】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 5】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 6】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 7】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 8】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 9】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 1 0】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 1 1】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 1 2】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 1 3】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 1 4】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 1 5】

本発明の第 1 実施形態にかかる半導体装置を模式的に示す断面図である。

【図 1 6】

本発明の第 2 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 1 7】

本発明の第 2 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 1 8】

本発明の第 2 実施形態にかかる半導体装置を模式的に示す断面図である。

【図 1 9】

本発明の第 3 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 2 0】

本発明の第 3 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 2 1】

本発明の第 3 実施形態にかかる半導体装置を模式的に示す断面図である。

【図 2 2】

本発明の第 4 実施形態にかかる半導体装置を模式的に示す断面図である。

【符号の説明】

- 1 1 P⁻型シリコン基板
- 1 3 P型ウェル
- 1 3 a 活性領域
- 1 5 a、1 5 b、1 5 c フィールド酸化層
- 1 7 a、1 7 b ゲート電極
- 1 9 接続層
- 2 1 多結晶シリコン層
- 2 3 タングステンシリサイド層
- 2 5 a、2 5 b ゲート酸化層
- 2 7 シリコン酸化層

- 2 9 a、2 9 b、2 9 c N^- 型不純物領域
- 3 1 TEOS層
- 3 3 シリコン窒化層
- 3 5 層間絶縁層
- 3 7 コンタクトホール
- 3 9 N^+ 型不純物領域
- 4 1 a、4 1 b、4 1 c N^+ 型ソース／ドレイン領域
- 4 3 多結晶シリコン層
- 4 5 タングステンシリサイド層
- 4 7 層間絶縁層
- 4 9 a、4 9 b N^+ 型不純物領域
- 5 1 a、5 1 b、5 1 c、5 1 d コンタクトホール
- 5 3 a、5 3 b ストレージノード
- 5 5 a、5 5 b 下部電極
- 5 7 アモルファスシリコン層
- 5 8 a～5 8 d 埋め込み接続層
- 6 1 ON層
- 6 3 多結晶シリコン層
- 6 5 レジスト
- 6 7 セルプレート
- 6 9 a、6 9 b 上部電極
- 7 1 層間絶縁層
- 7 3 a～7 3 f タングステンプラグ
- 7 5 a～7 5 f アルミ配線
- 7 7 シリコン酸化層
- 7 9 チタン層
- 8 1 チタンシリサイド層
- 8 3 タングステンプラグ
- 8 5 アルミ配線

8 7 コンタクトホール

1 0 0 a、1 0 0 b ワード線

2 0 0 a、2 0 0 b M O S 電界効果トランジスタ

3 0 0 ビット線

4 0 0 抵抗素子

5 0 0 抵抗素子

6 0 0 a、6 0 0 b 容量素子

7 0 0 a、7 0 0 b セル容量

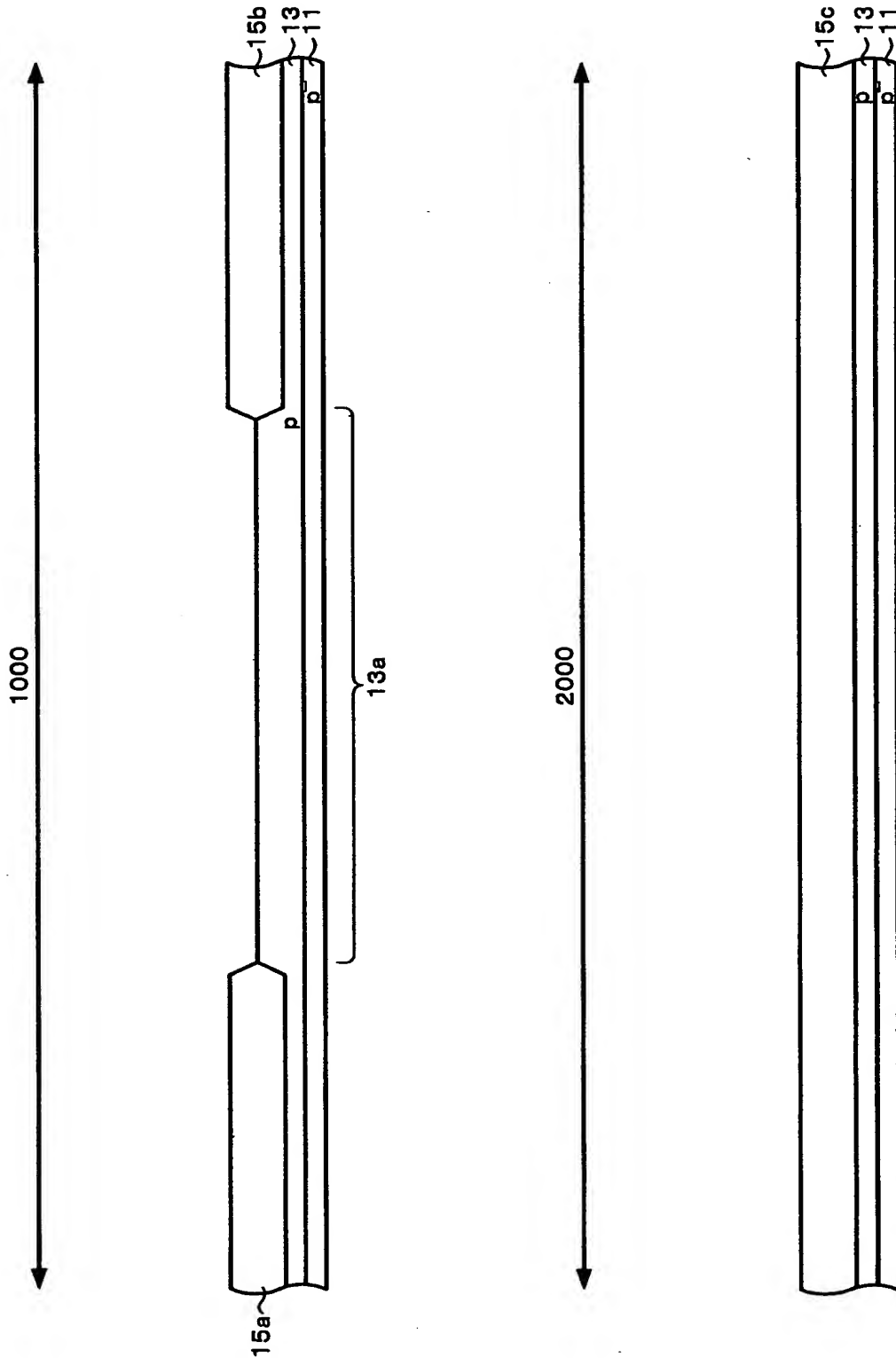
1 0 0 0 D R A M 領域

2 0 0 0 アナログ素子領域

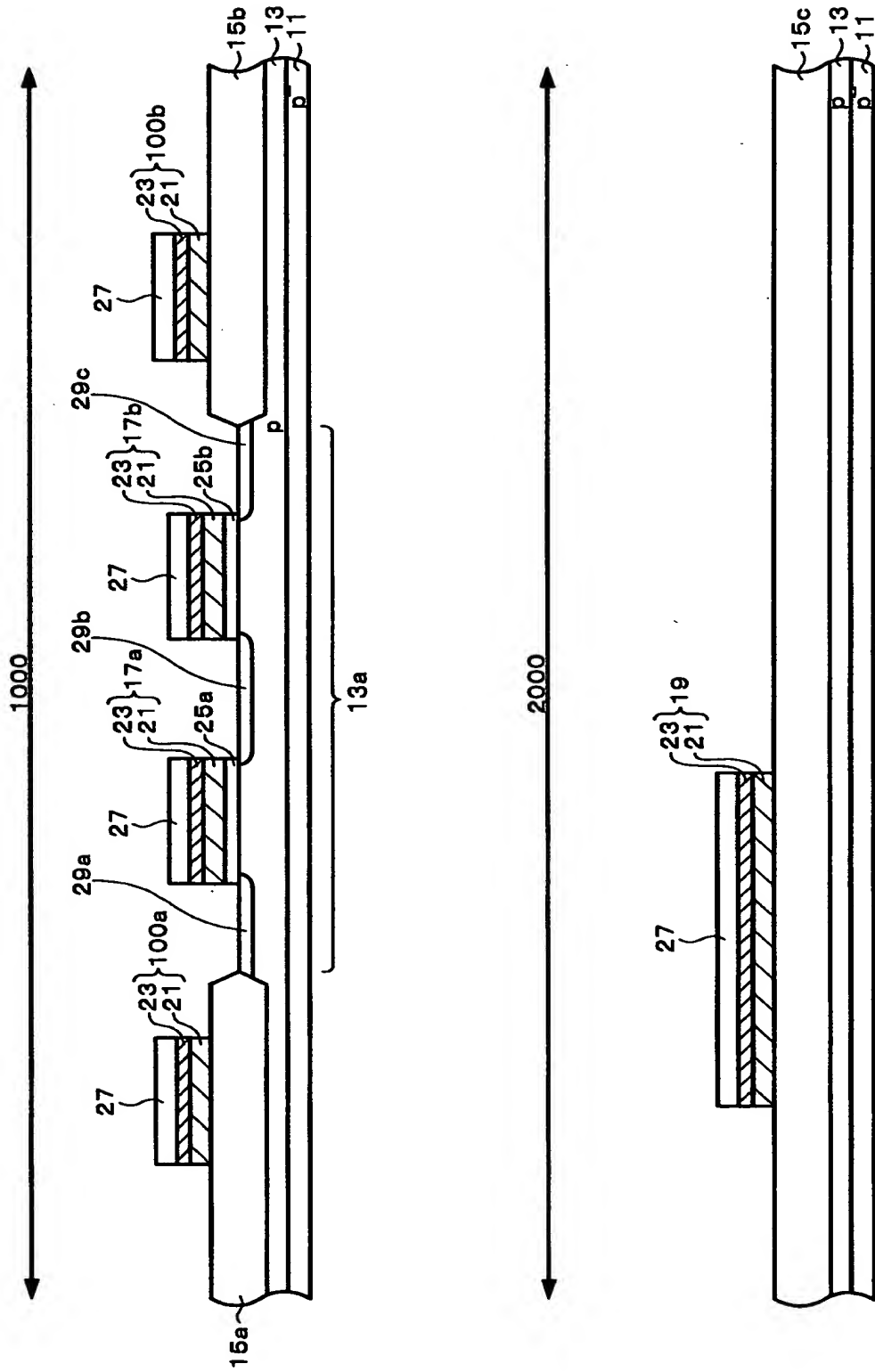
【書類名】

図面

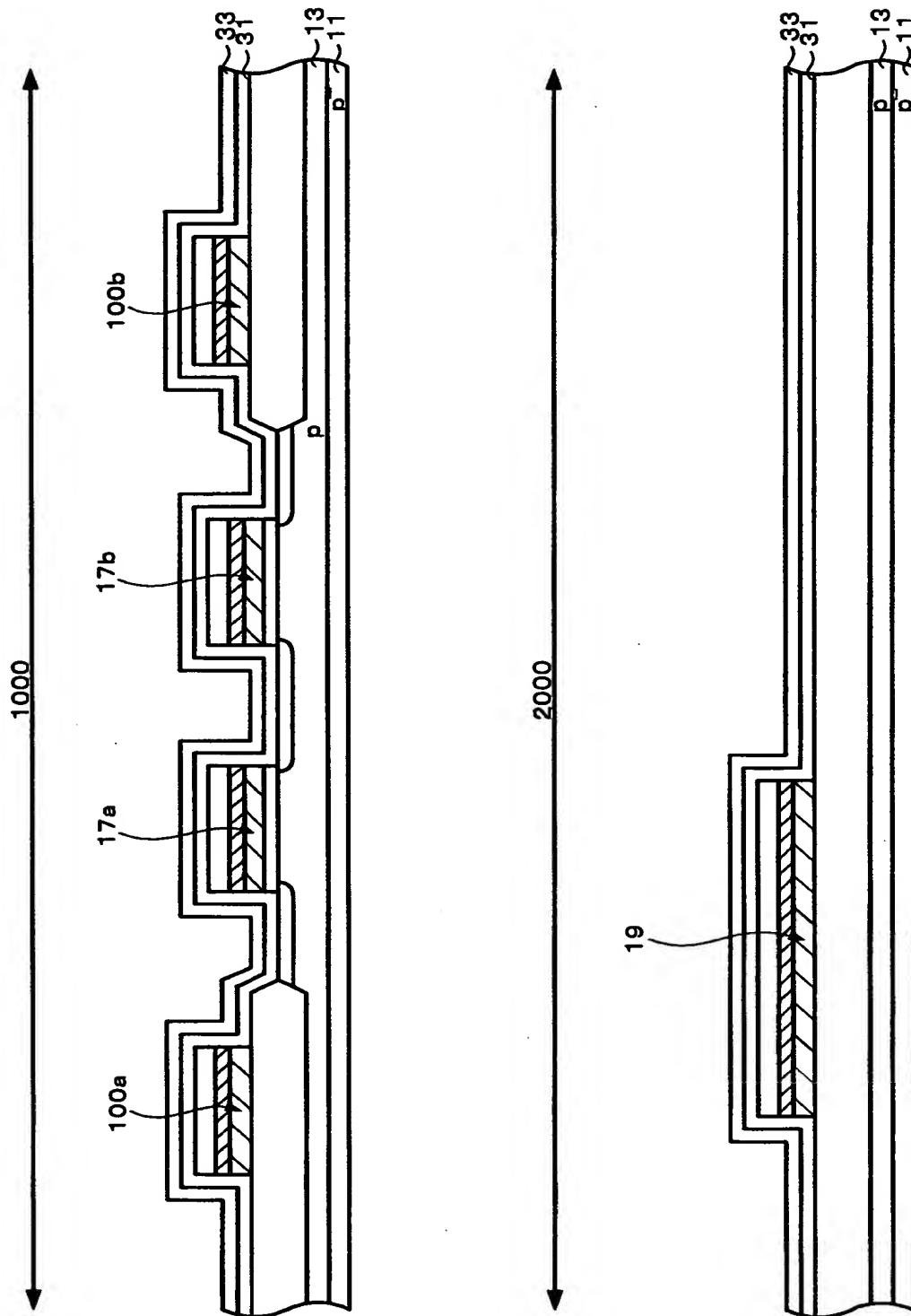
【図 1】



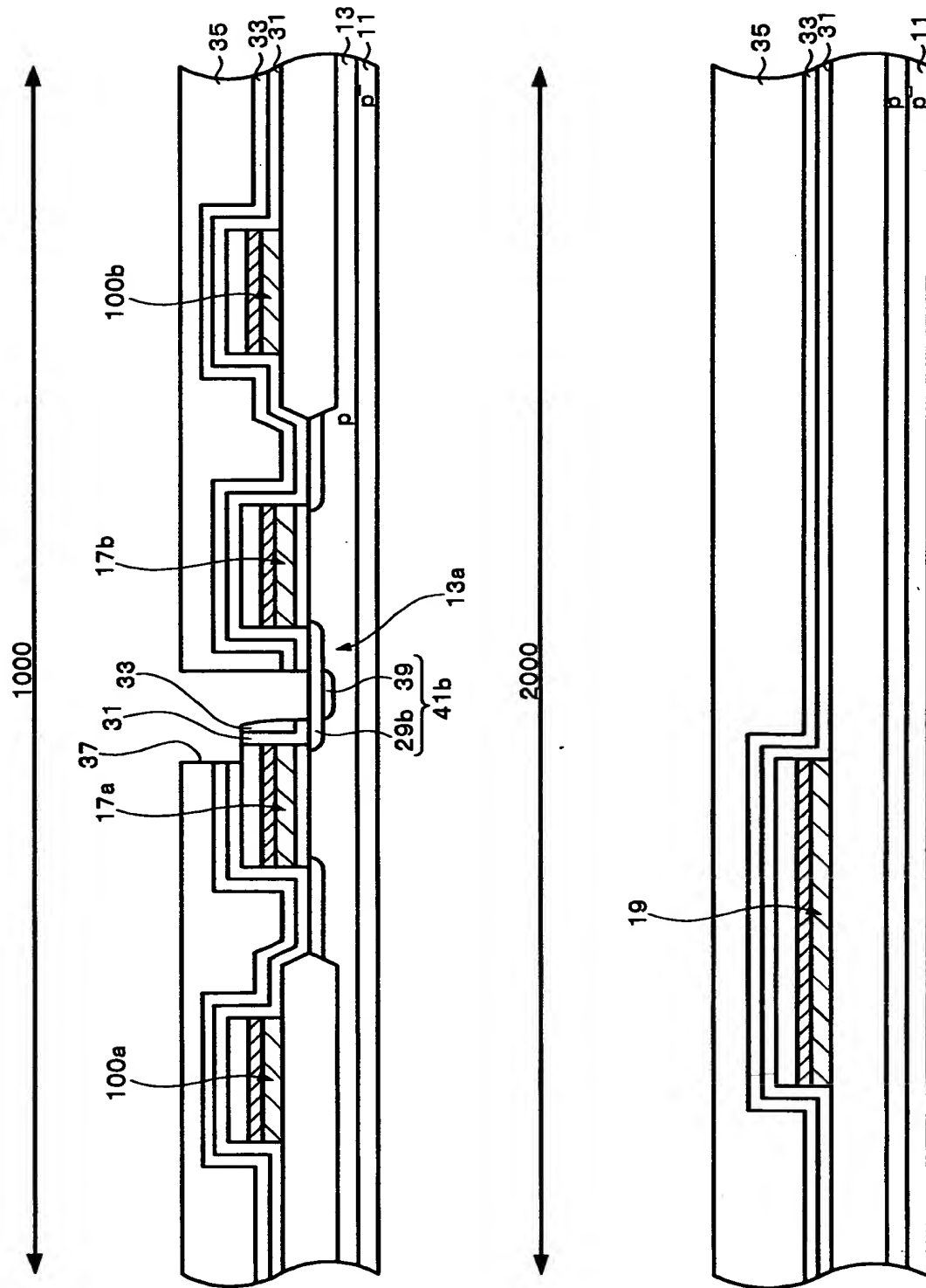
【図 2】



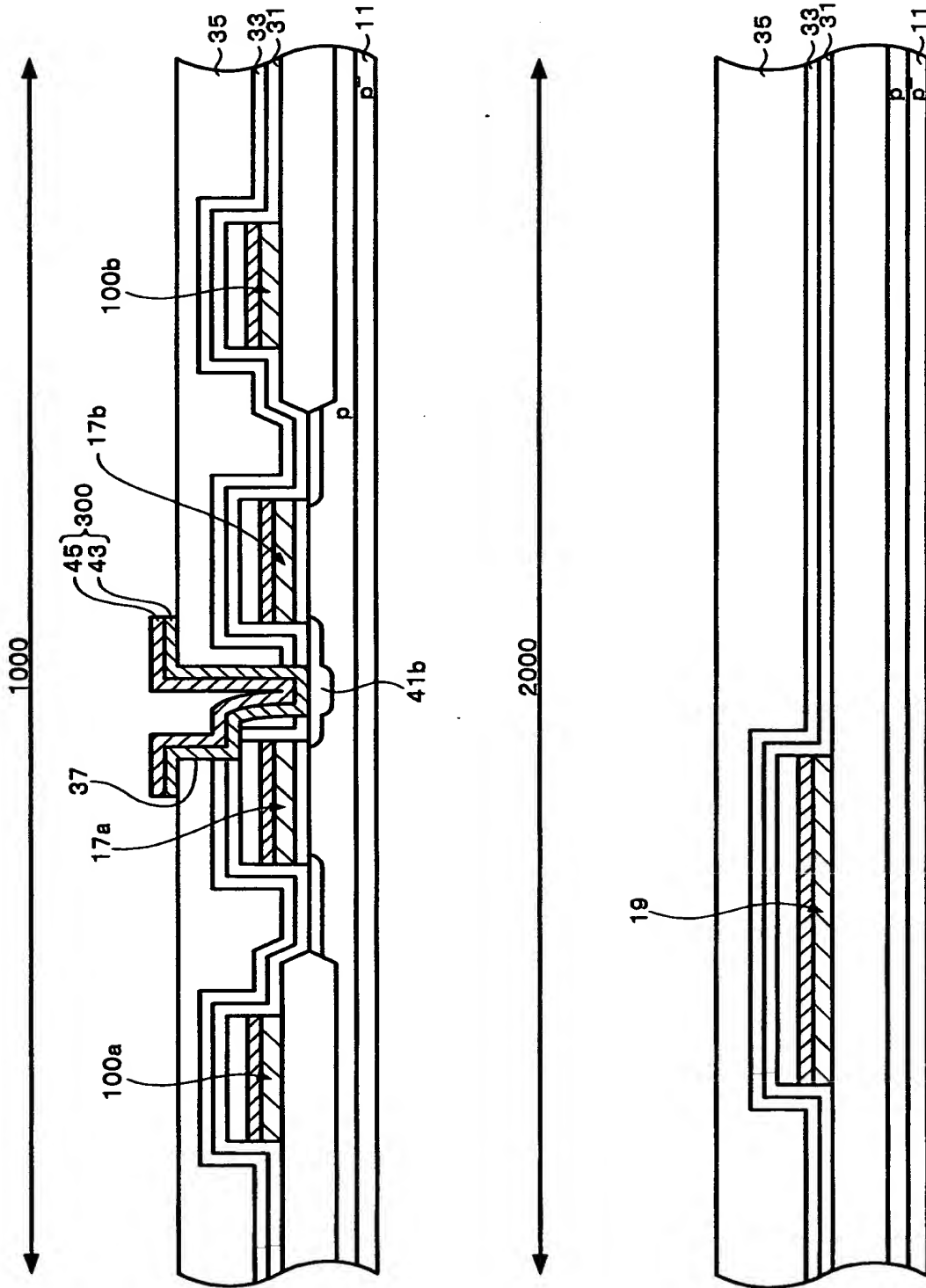
【図 3】



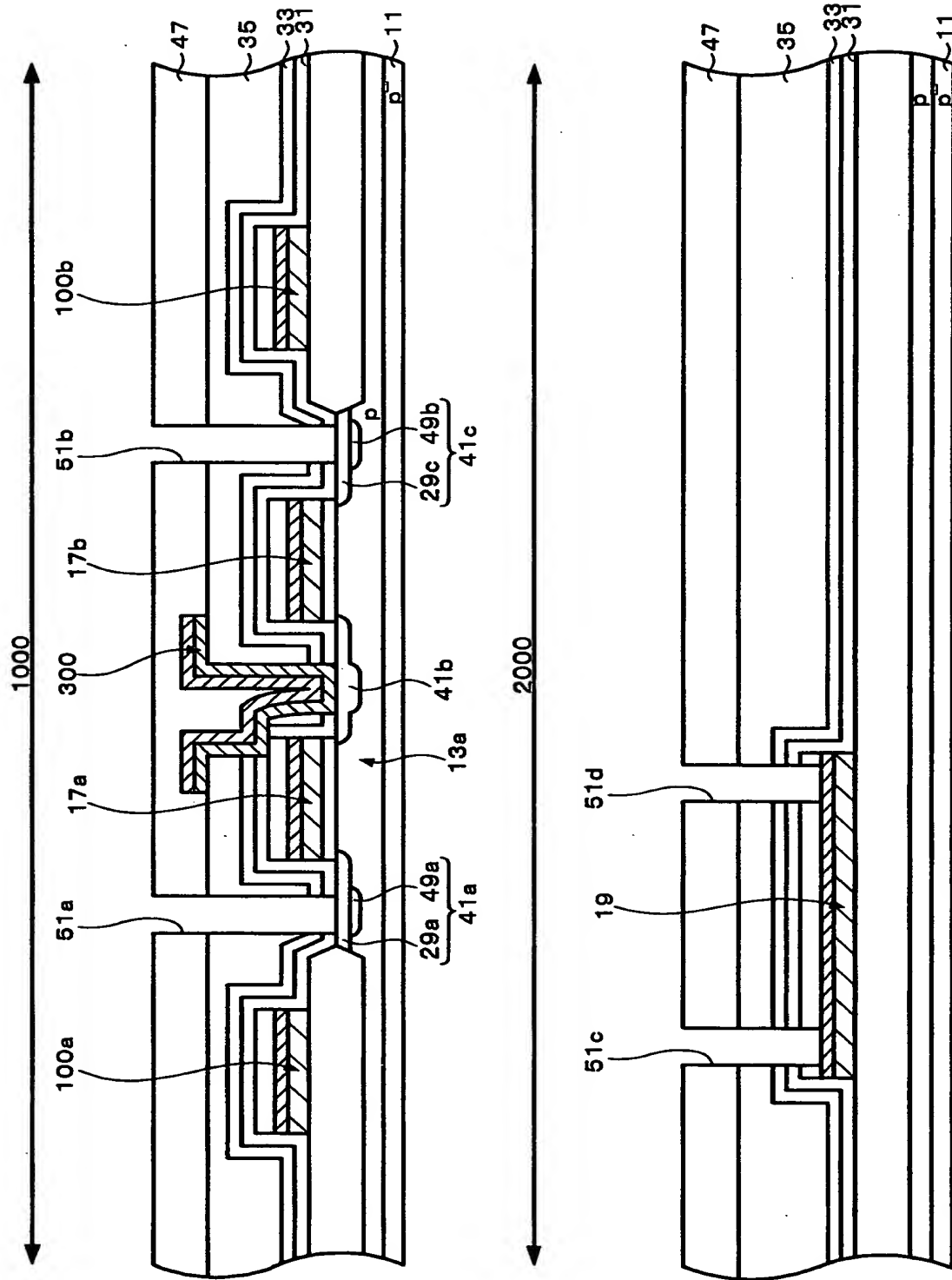
【図 4】



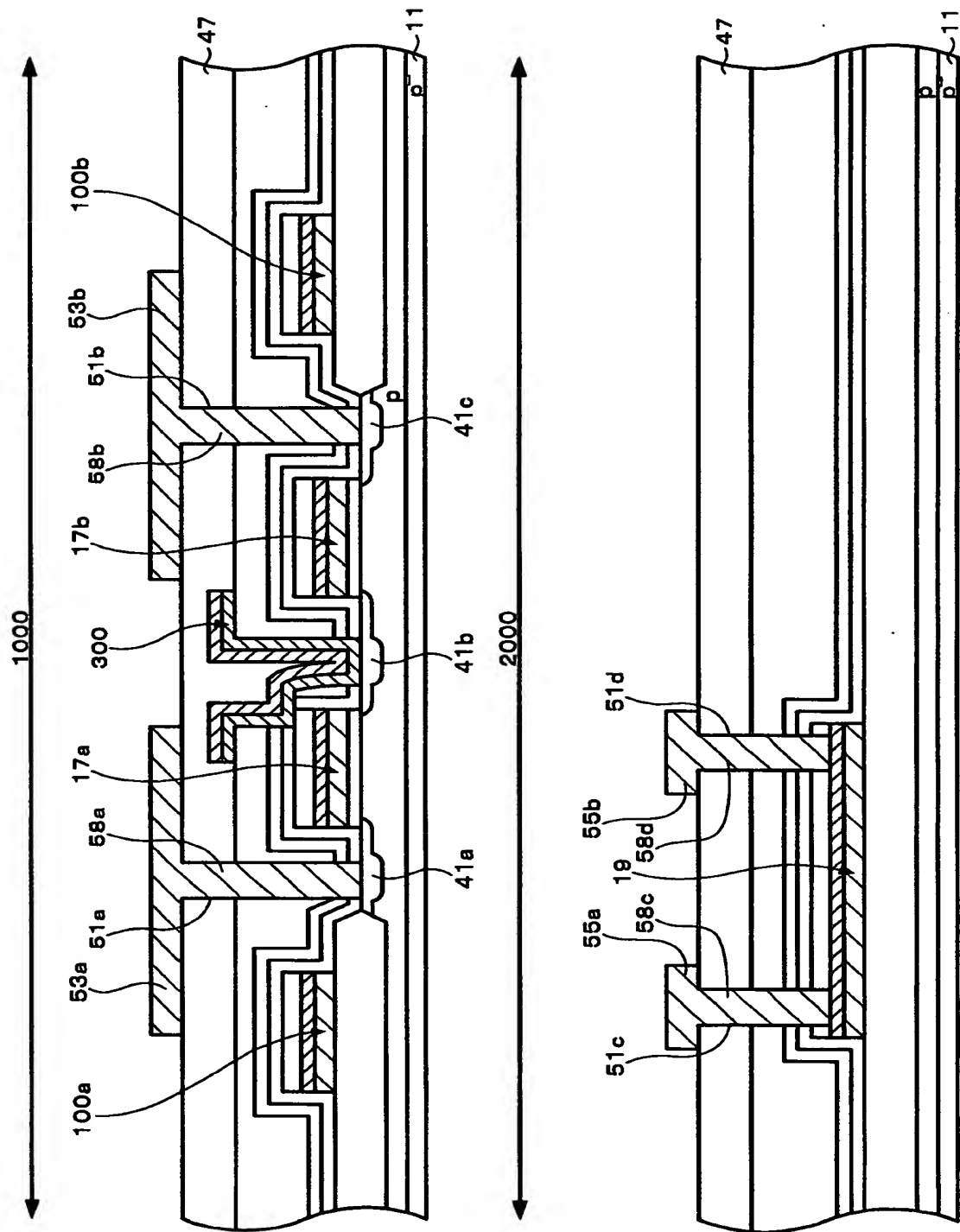
【図 5】



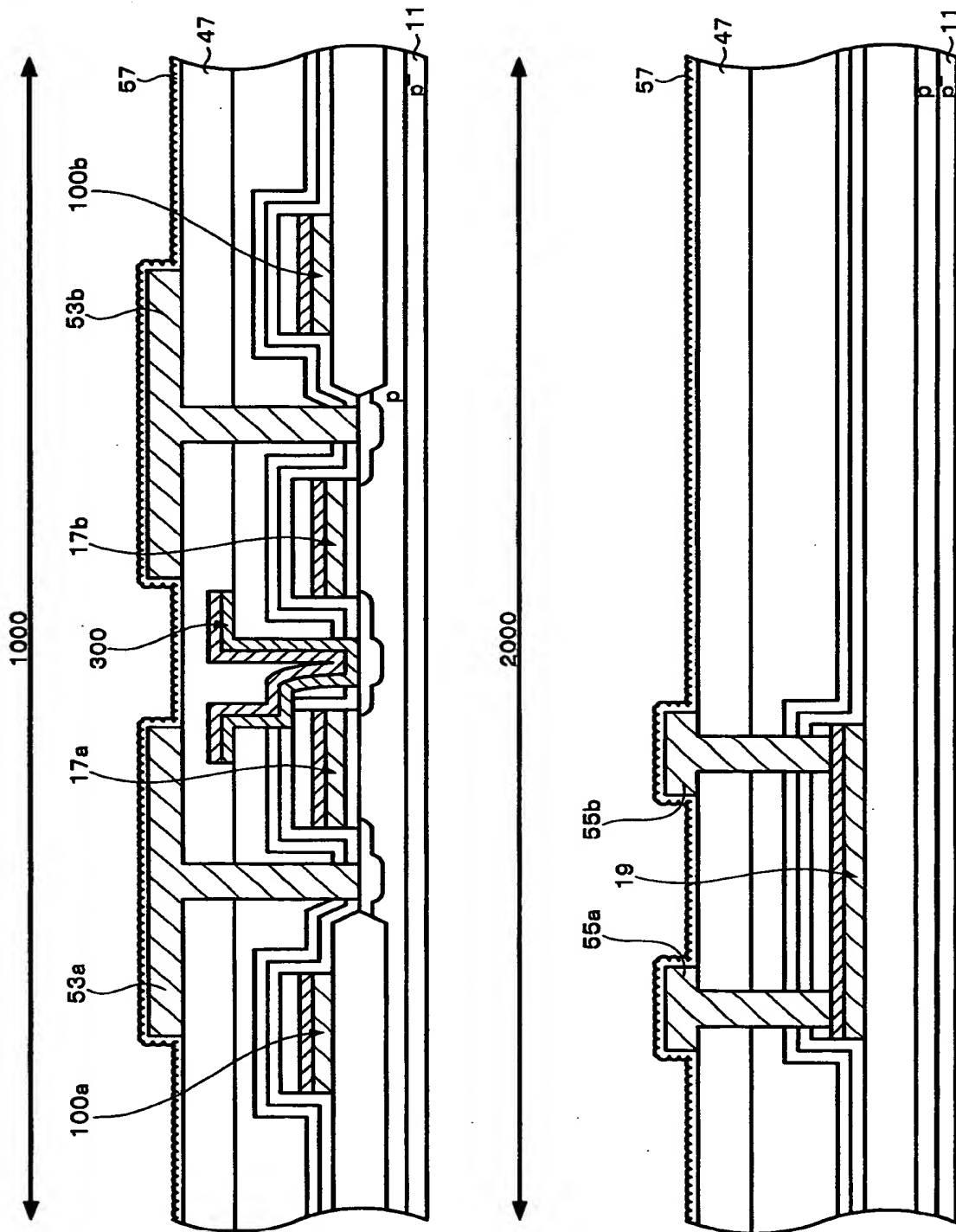
【図 6】



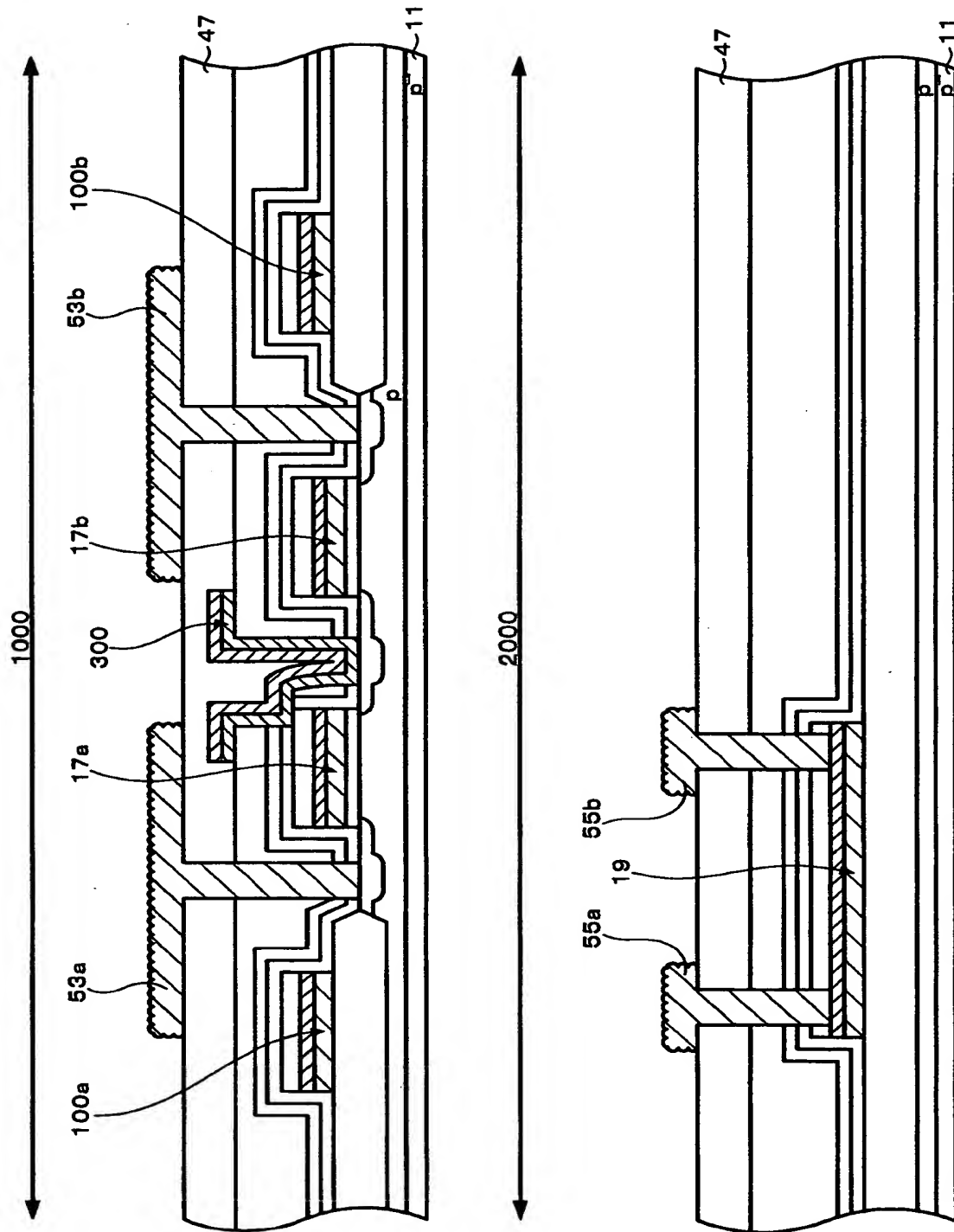
【図 7】



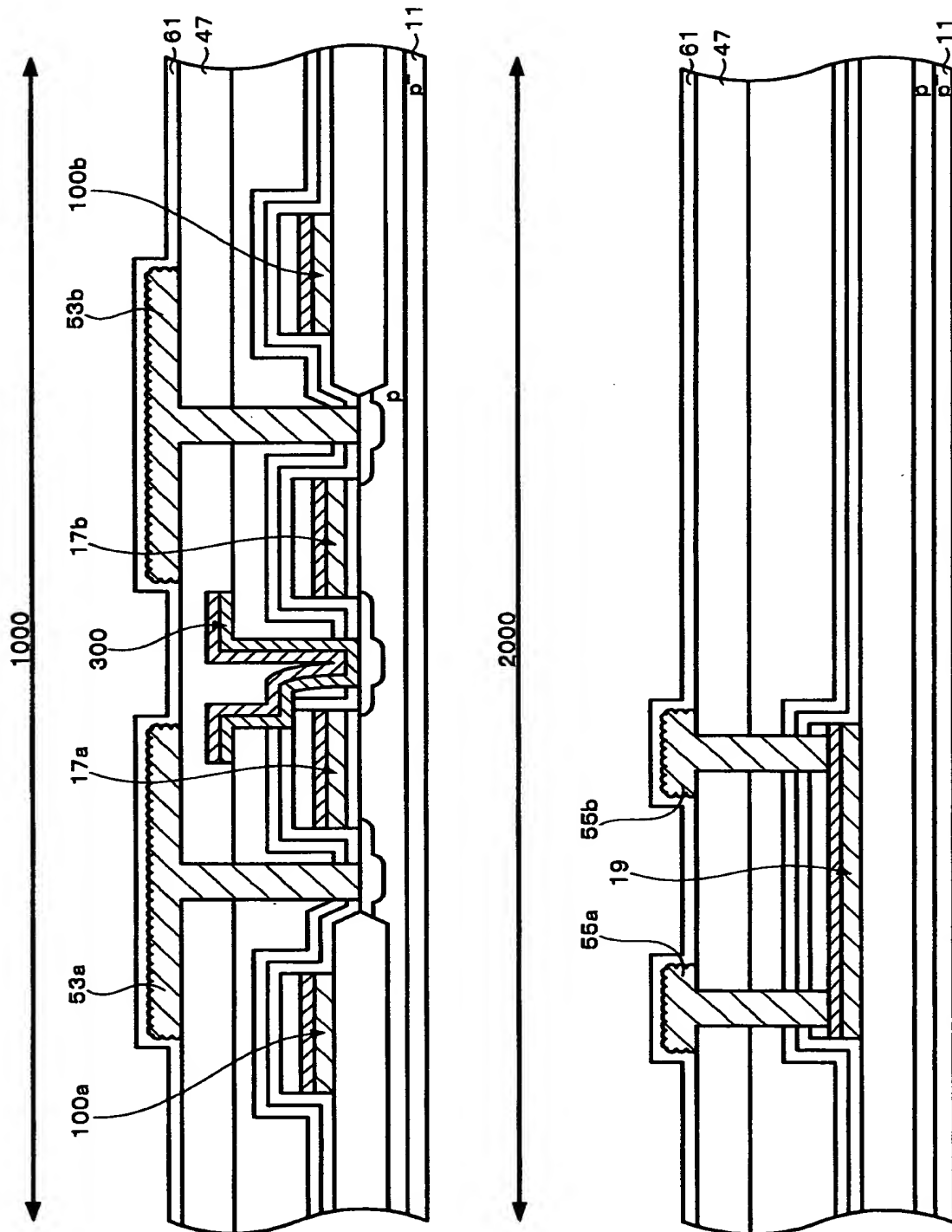
【図 8】



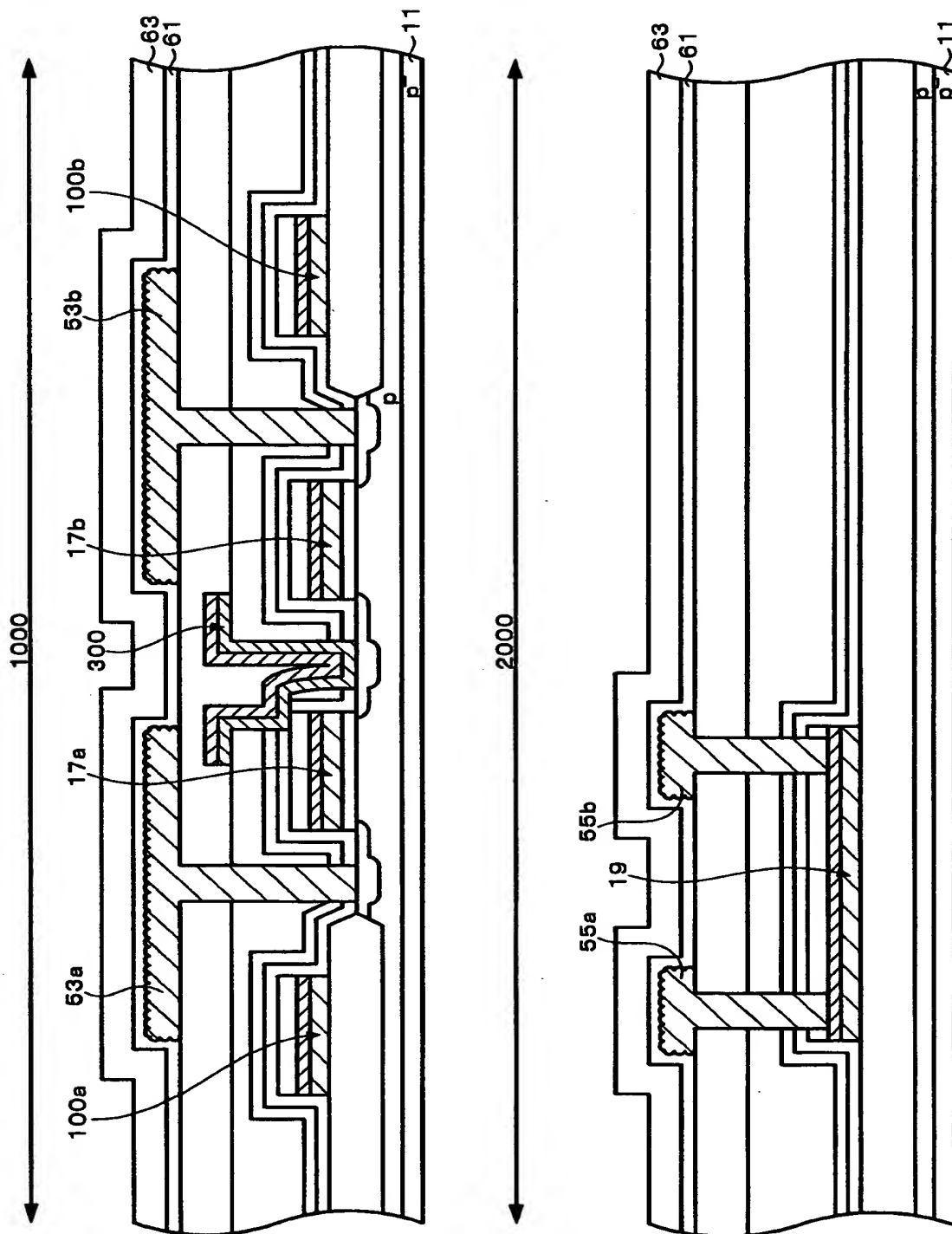
【図9】



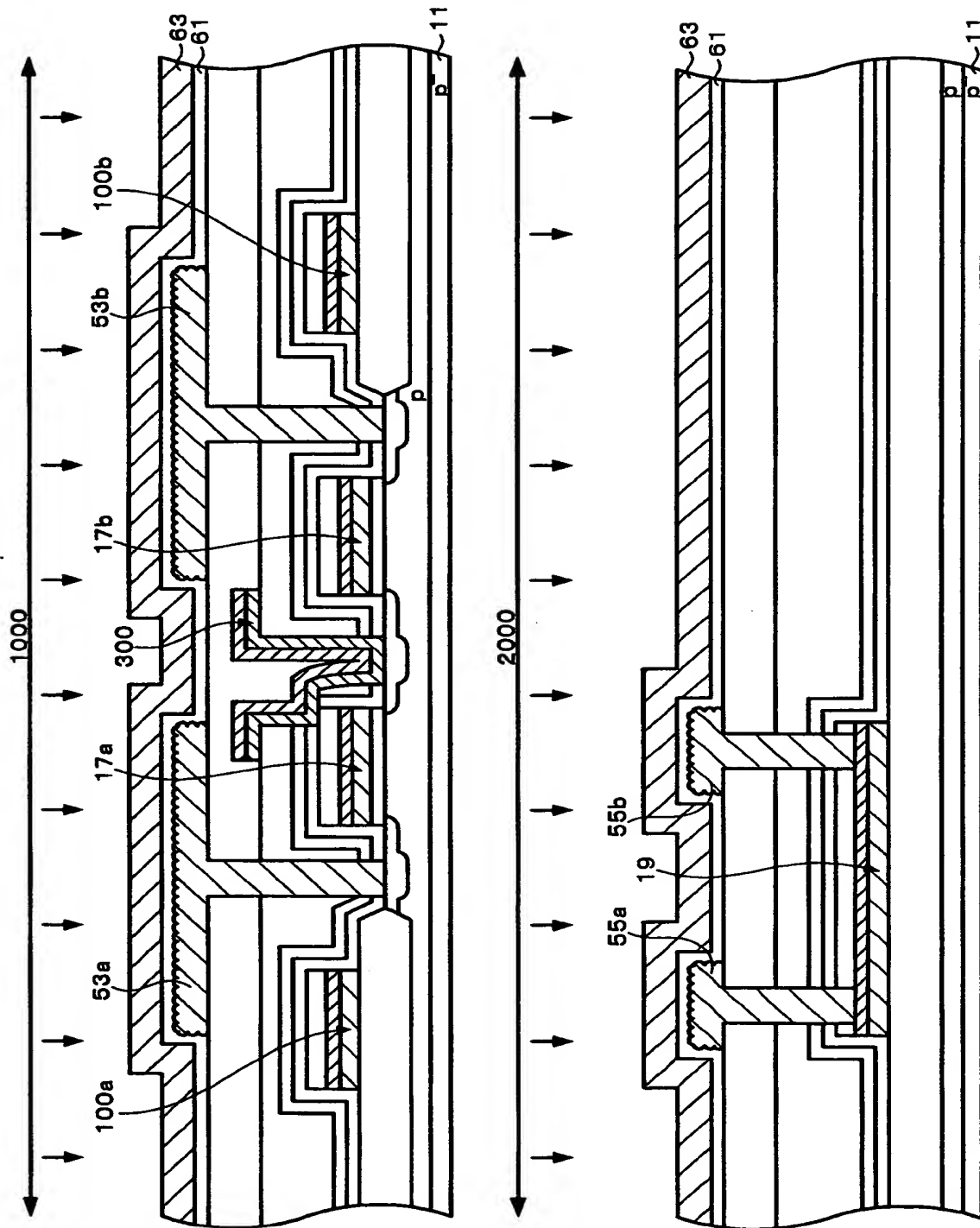
【図 10】



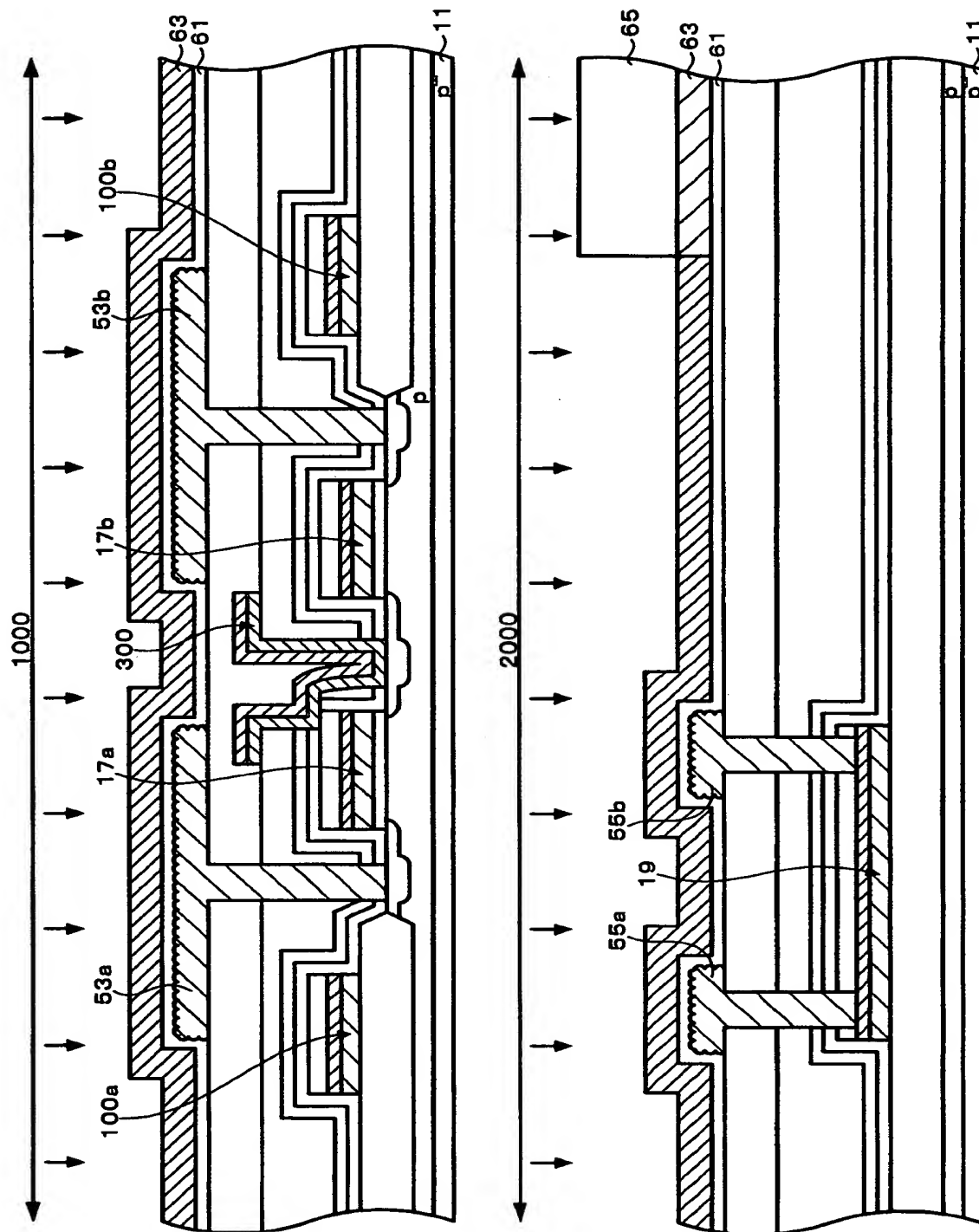
【図 11】



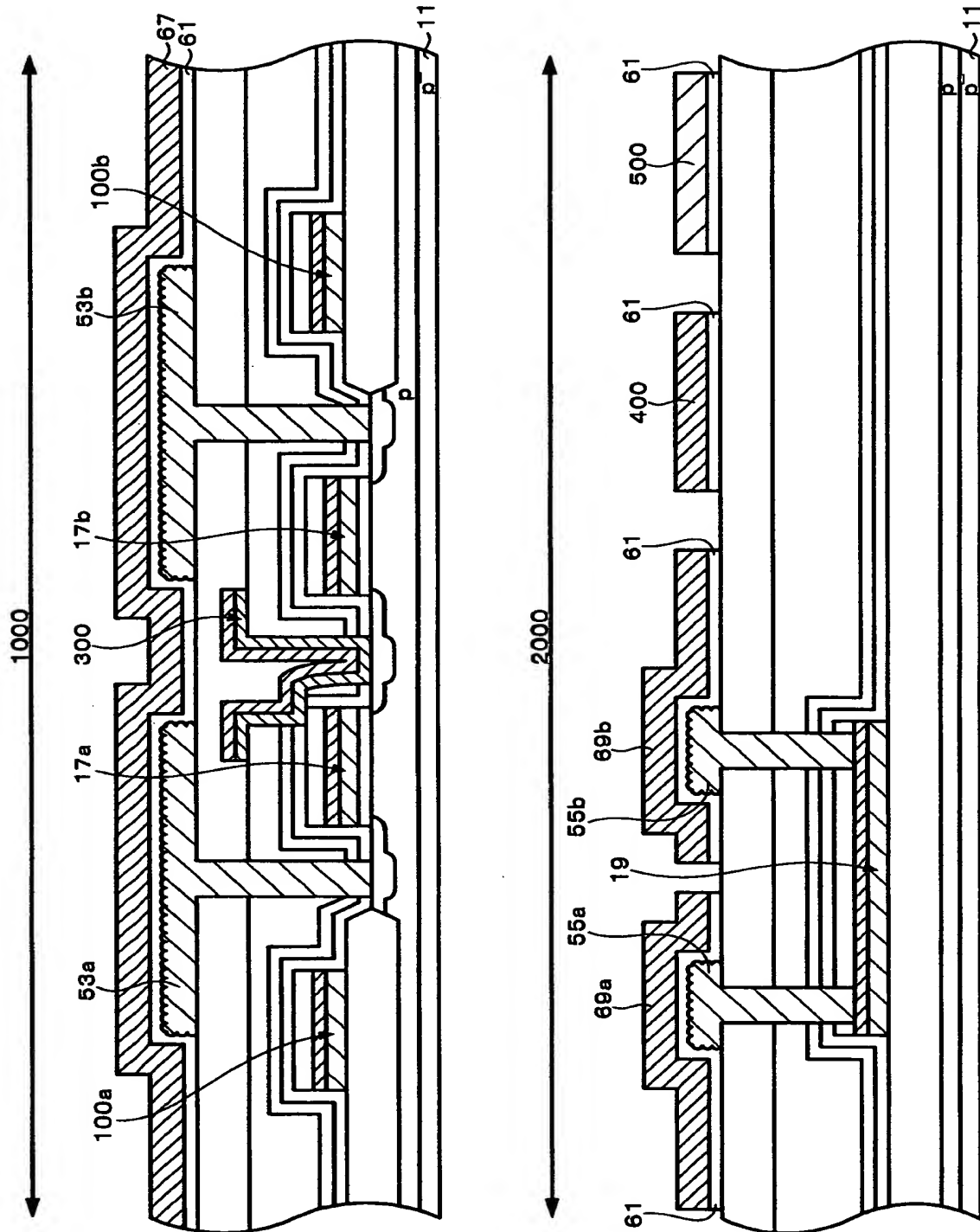
【図 12】



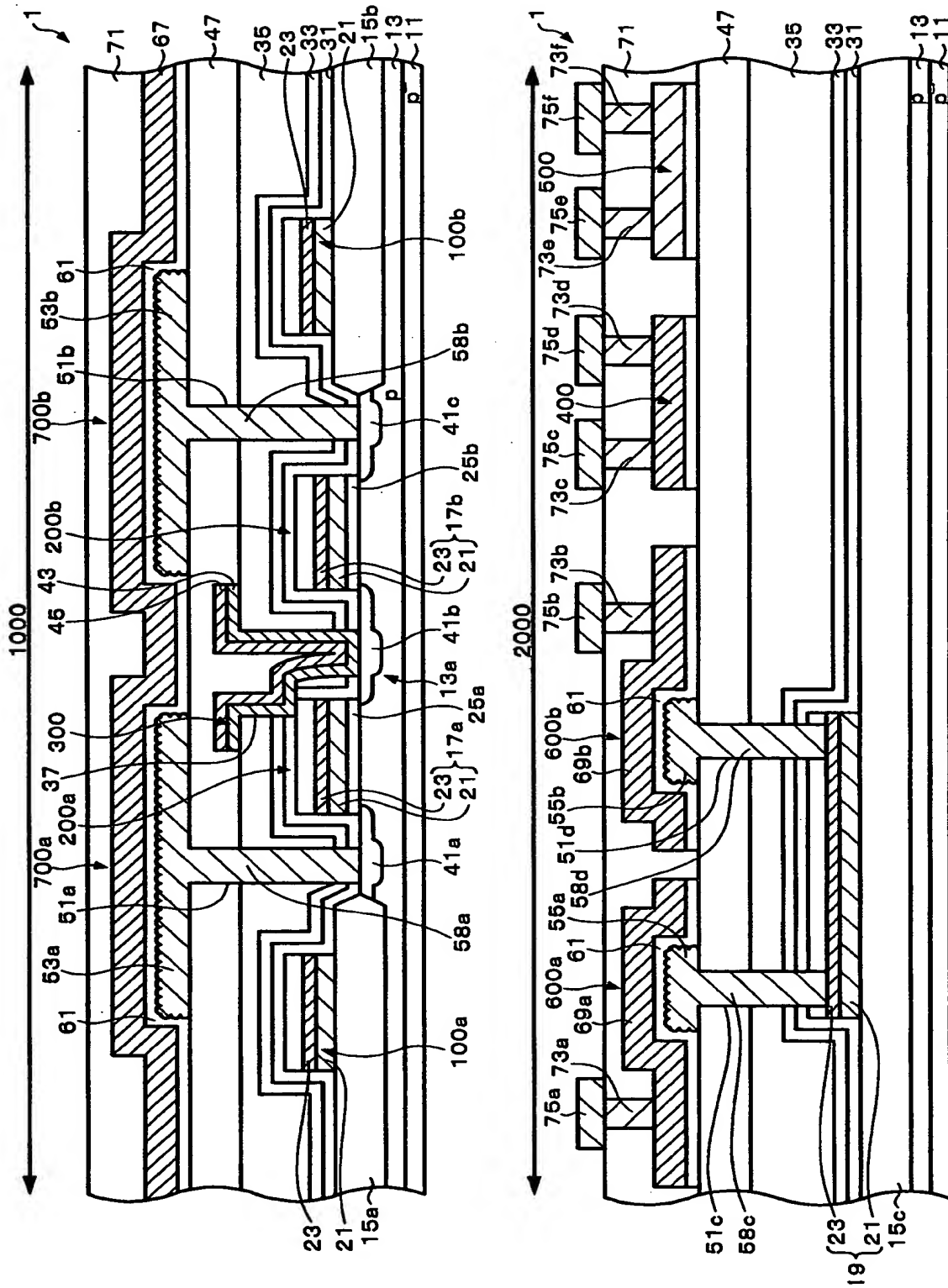
【図 13】



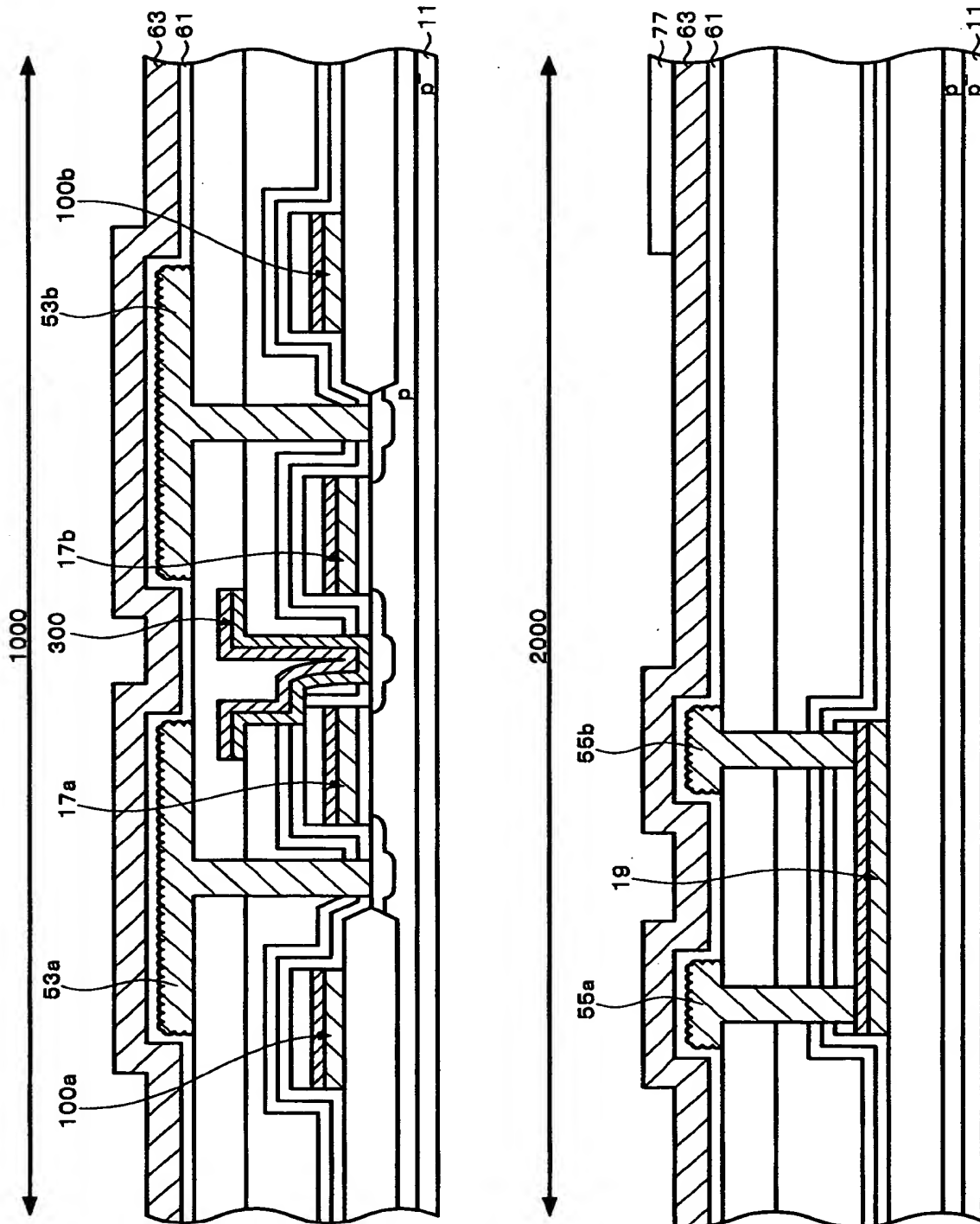
【図 1 4】



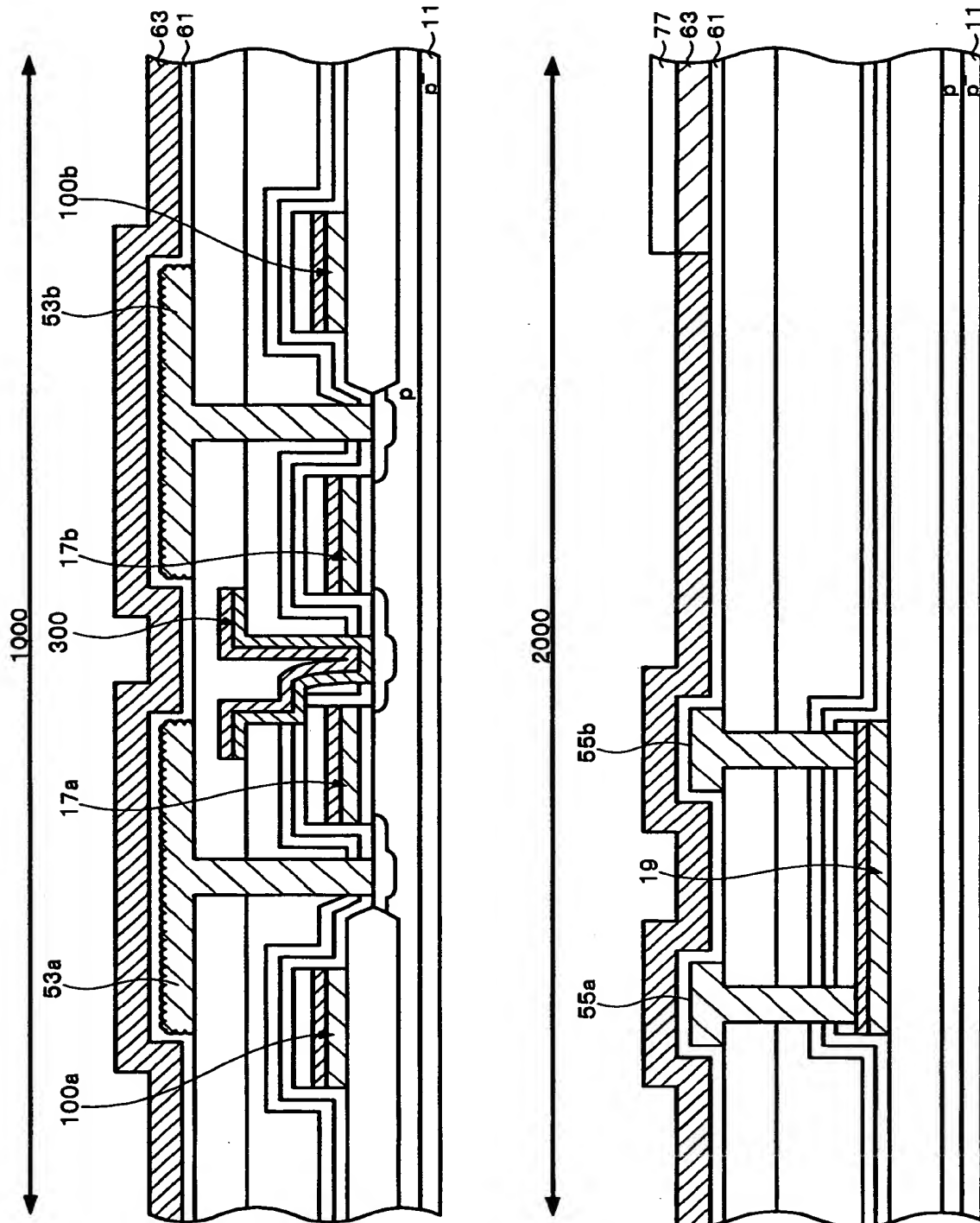
【図 15】



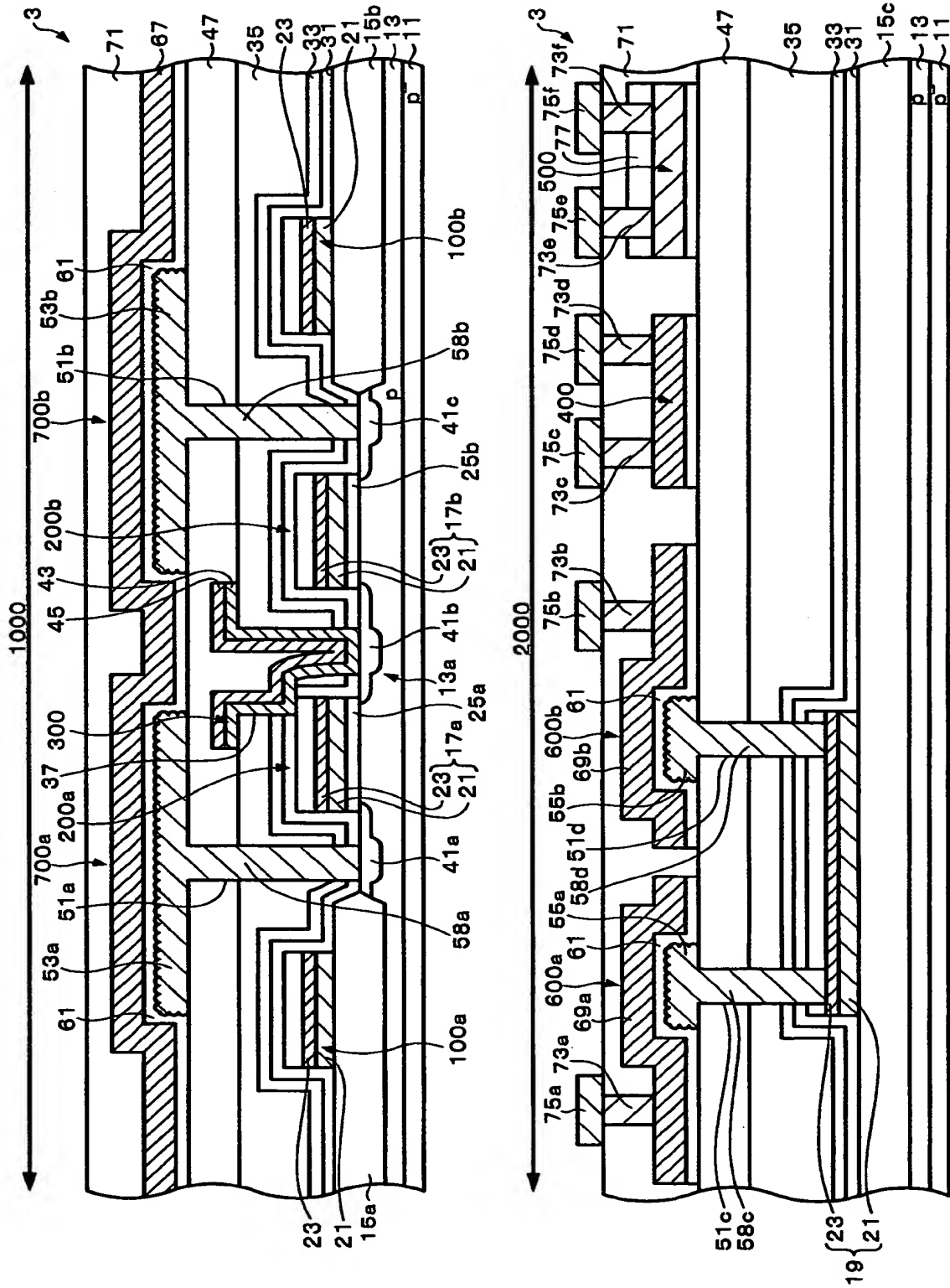
【図 16】



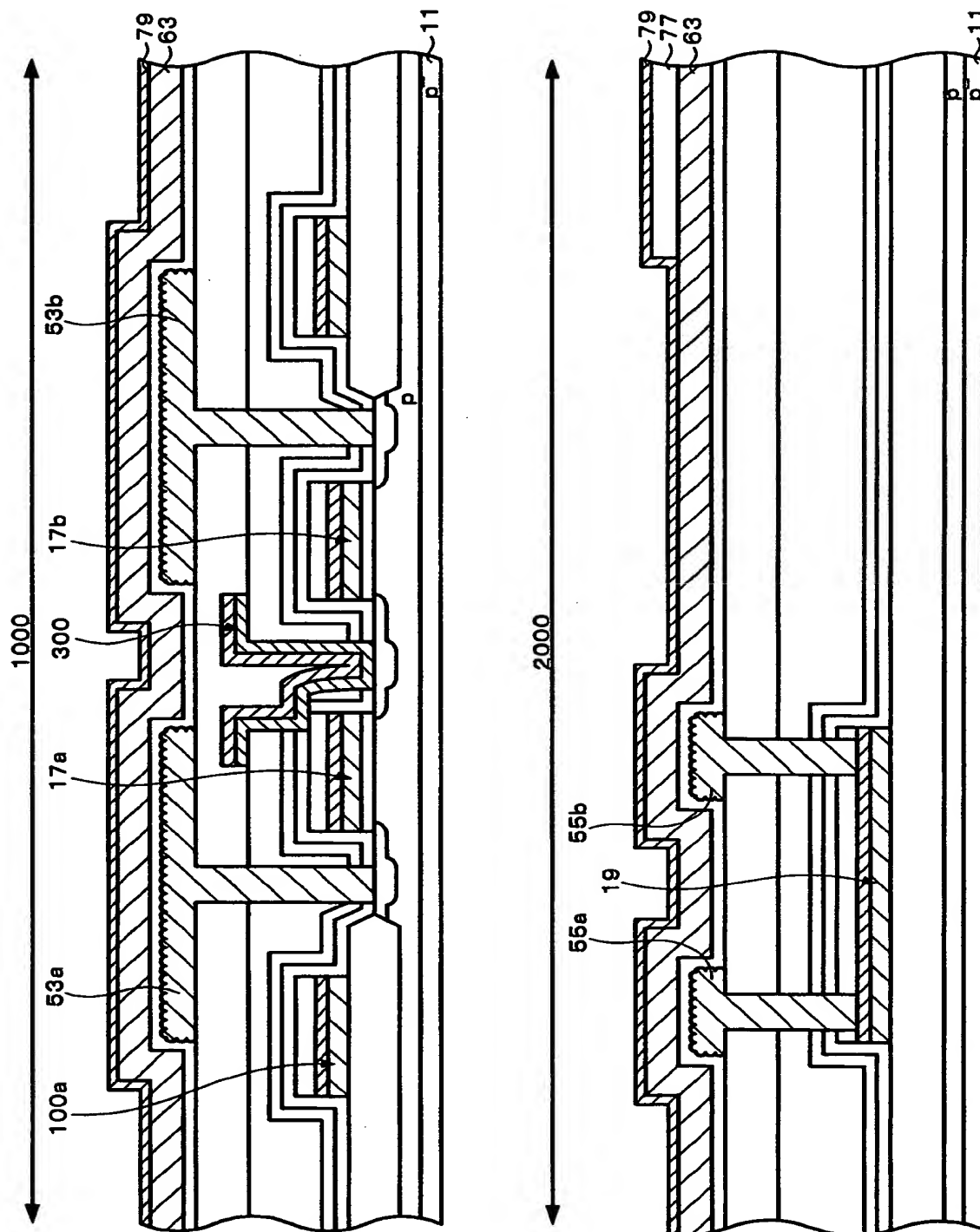
【図 17】



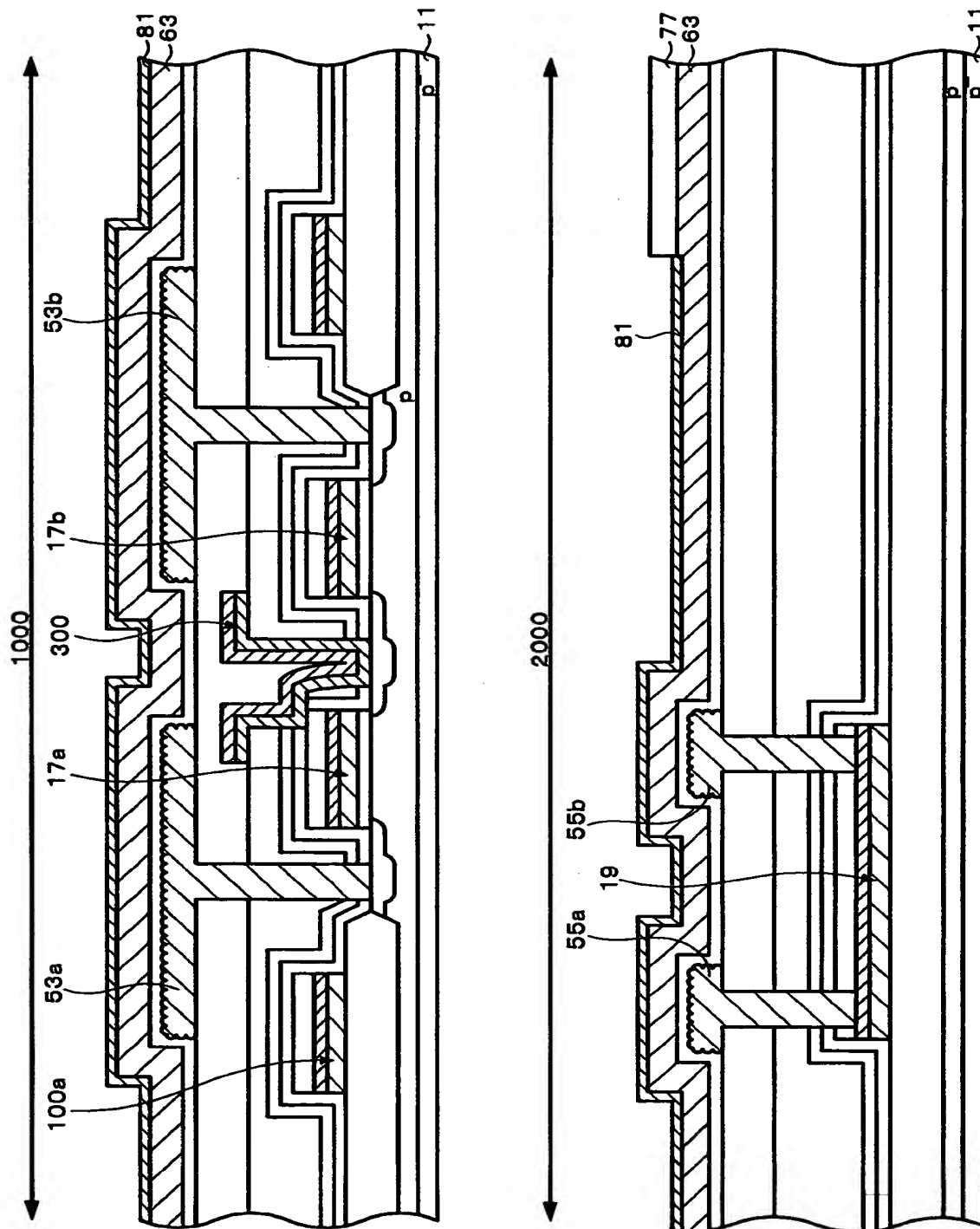
【図 1 8】



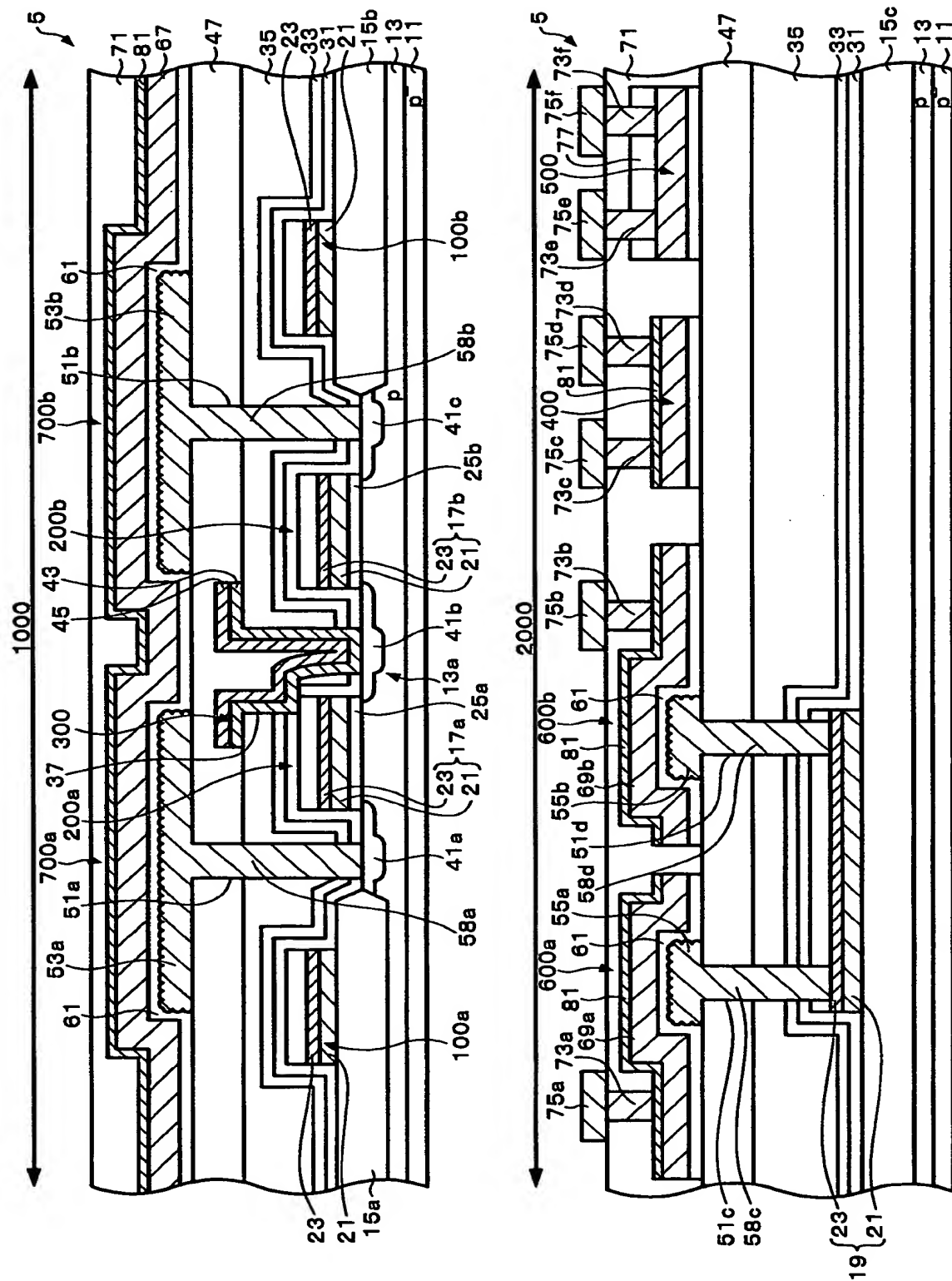
【図19】



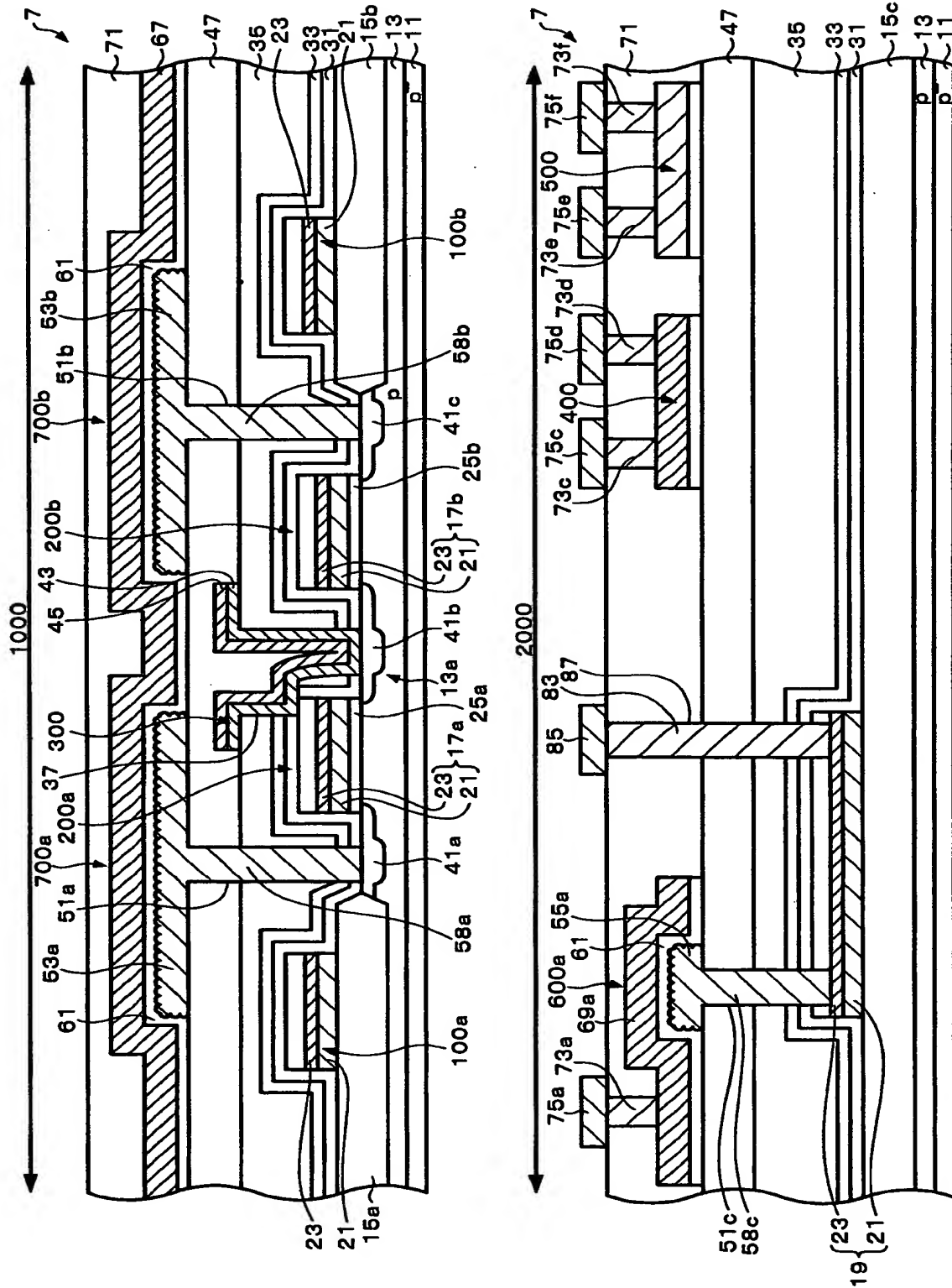
【図 2 0】



【図 21】



【图 2 2】



【書類名】 要約書

【要約】

【課題】 D R A M のセル容量と、アナログ素子領域の容量素子と、を同一チップに混載するときに、工程の簡略化を図ることができる半導体装置の製造方法を提供すること。

【解決手段】 まず、容量素子 6 0 0 a、6 0 0 b の下部電極 5 5 a、5 5 b を、セル容量 7 0 0 a、7 0 0 b のストレージノード 5 3 a、5 3 b と同時に形成する。次に、容量素子 6 0 0 a、6 0 0 b の誘電体層（O N 層 6 1）を、セル容量 7 0 0 a、7 0 0 b の誘電体層（O N 層 6 1）と同時に形成する。そして、容量素子 6 0 0 a、6 0 0 b の上部電極 6 9 a、6 9 b を、セル容量 7 0 0 a、7 0 0 b のセルプレート 6 7 と同時に形成する。

【選択図】 図 1 5

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社